

4 / Priority
Doc.
E. Willis
4-10-01

No.: 49657-994

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Kazutami ARIMOTO, et al.

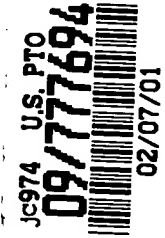
Serial No.:

Group Art Unit:

Filed: February 07, 2001

Examiner:

For: SEMICONDUCTOR MEMORY DEVICE WITH SIMPLE REFRESH CONTROL



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-113097,
filed April 14, 2000;

and

Japanese Patent Application No. 2000-279456,
filed September 14, 2000

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker

Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:dtb
Date: February 7, 2001
Facsimile: (202) 756-8087

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

49657-994

Acimoto, et al.

February 7, 2001

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月14日

出 願 番 号

Application Number:

特願2000-113097

出 願 人

Applicant (s):

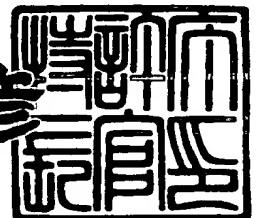
三菱電機株式会社

Jc974 U.S. PTO
09/777694
02/07/01

2000年 5月12日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3035312

【書類名】 特許願

【整理番号】 523489JP01

【提出日】 平成12年 4月14日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 有本 和民

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 島野 裕樹

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100091409

 【弁理士】

 【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 行および列状に配置される複数のメモリセルを含むメモリアレイと、

前記複数のメモリセルが保持するデータをリフレッシュするために必要な時間間隔で、リフレッシュ要求信号を出力するリフレッシュタイマ回路と、

アクセスコマンドに応じて内部コマンド信号を発生するコマンド発生回路と、

前記内部コマンド信号および前記リフレッシュ要求信号に応じて前記メモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、

前記行選択制御回路は、

前記内部コマンド信号に応じて活性化し、前記メモリアレイの行選択動作のタイミング信号を出力するタイミング制御回路と、

前記リフレッシュ要求信号を受けて保持し、前記タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号を出力するリフレッシュ制御回路と、

前記内部リフレッシュコマンド信号に応じて活性化し、前記タイミング制御回路に代わって前記タイミング信号を出力するリフレッシュタイミング制御回路とを含み、

前記タイミング信号に応じて前記メモリアレイの行選択を行なう行選択回路をさらに備える、半導体記憶装置。

【請求項 2】 前記アクセスコマンドは、

読出コマンドを含み、

前記半導体記憶装置が前記アクセスコマンドを受けてから次のアクセスコマンドを受けることができる基本サイクル時間は、前記内部コマンド信号が出力されてから前記メモリアレイよりデータの読出が完了するまでの通常読出サイクル時間と、前記内部リフレッシュコマンド信号が出力されてから前記メモリアレイの前記内部リフレッシュコマンド信号に対応する部分のリフレッシュが完了するまでのリフレッシュサイクル時間との合計時間以上である、請求項 1 に記載の半導

体記憶装置。

【請求項 3】 前記リフレッシュ制御回路は、
前記リフレッシュ要求信号を受けて保持するラッチ回路と、
前記ラッチ回路の出力が前記リフレッシュ要求信号が入力されたことを示し、
かつ、前記タイミング制御回路が非活性化されている場合に前記内部コマンド信号の基となるパルスを出力するパルス発生回路を有する、請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記コマンド発生回路は、前記アクセスコマンドを保持し、
前記リフレッシュタイミング制御回路が活性化されている場合には、前記リフレッシュタイミング制御回路が非活性化されるまで待ってから前記内部コマンド信号を出力する、請求項 2 に記載の半導体記憶装置。

【請求項 5】 前記コマンド発生回路は、
前記アクセスコマンドを受けて保持するラッチ回路と、
前記ラッチ回路の出力が前記アクセスコマンドが入力されたことを示し、かつ、
前記リフレッシュタイミング制御回路が非活性化されている場合に前記内部コマンド信号の基となるパルスを出力するパルス発生回路を有する、請求項 4 に記載の半導体記憶装置。

【請求項 6】 前記コマンド発生回路は、
前記アクセスコマンドに応じてコマンド発生基準信号を出力する内部コマンド発生回路と、

前記コマンド発生基準信号を少なくとも前記リフレッシュサイクル時間以上遅延させて前記内部コマンド信号を出力する遅延回路とを含み、

前記リフレッシュ制御回路は、前記リフレッシュ要求信号を受けて保持し、前記タイミング制御回路が非活性状態になったときに前記内部リフレッシュコマンド信号を出力する、請求項 2 に記載の半導体記憶装置。

【請求項 7】 前記リフレッシュ制御回路は、
前記リフレッシュ要求信号を保持するラッチ回路と、
前記ラッチ回路の出力が前記リフレッシュ要求信号が入力されたことを示し、
かつ、前記タイミング制御回路が非活性状態になったときに前記内部リフレッシュ

コマンダ信号の基となるパルスを出力するパルス発生回路を有する、請求項 6 に記載の半導体記憶装置。

【請求項 8】 前記メモリアレイからの出力を受けて読出データとして保持し出力イネーブル信号を受けて前記読出データを出力するデータ入出力制御回路をさらに備える、請求項 2 に記載の半導体記憶装置。

【請求項 9】 前記行選択制御回路は、
与えられる行アドレスを保持して通常行アドレスを出力するアドレスラッチ回路と、

リフレッシュする行に対応するリフレッシュ行アドレスを順次更新して出力するリフレッシュカウンタ回路と、

前記通常行アドレスと前記リフレッシュ行アドレスとを受けて、前記内部リフレッシュコマンド信号に応じていずれか一方を前記メモリアレイの行選択を行なうアドレスとして出力する選択回路とをさらに含む、請求項 2 に記載の半導体記憶装置。

【請求項 10】 前記メモリアレイは、
独立して行選択動作が可能な複数のバンクを含み、
前記リフレッシュ制御回路は、前記通常行アドレスが示すバンクと前記リフレッシュ行アドレスが示すバンクとが一致する場合には、前記タイミング制御回路が非活性となってから前記内部リフレッシュコマンド信号を出力する、請求項 9 に記載の半導体記憶装置。

【請求項 11】 前記アドレスラッチ回路は、前記与えられる行アドレスをクロック信号に同期して取込む、請求項 9 に記載の半導体記憶装置。

【請求項 12】 前記アクセスコマンドをクロック信号に同期して取込み、前記コマンド発生回路に与えるラッチ回路をさらに備える、請求項 2 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的にはリフレッシュの制御が簡

易化されたダイナミックランダムアクセスメモリ（DRAM）に関する。

【0002】

【従来の技術】

近年、プロセッサまたはASIC（特定用途向けIC）などのロジックと大記憶容量のダイナミックランダムアクセスメモリ（DRAM）とを同一半導体チップ（半導体基板）上に集積化したロジック内蔵DRAMなどのシステムLSIが使用されるようになってきている。

【0003】

このような、システムLSIにおいては、128ビットから512ビットの多ビットの内部データバスでロジックとDRAMとを相互接続することにより、端子数の少ない汎用DRAMとロジックLSIとをプリント基板上で接続して用いる場合に比べて1ないし2桁以上の高速のデータ転送を実現することができる。

【0004】

また、ロジックに対し汎用DRAMを外付けする方式に比べて、ロジックの外部ピン端子数を低減することができる。

【0005】

さらに、システムLSI内部では、DRAMブロックとロジックとは内部配線で接続される。この内部配線の長さは、プリント基板上の配線に比べて十分短く、寄生インピーダンスも小さいため、データバスの充放電電流を大幅に低減でき、かつ、高速で信号の転送を行なうことができる。

【0006】

これらの理由により、DRAM混載のシステムLSIは、3次元グラフィック処理、画像・音声処理などの大量のデータを取扱う処理を行なう情報機器においてその性能を向上させる上で大きく寄与している。

【0007】

図26は、従来のシステムLSIに内蔵されるDRAMの回路ブロックの構成を概略的に示す図である。

【0008】

図26を参照して、DRAM回路ブロックは、複数のメモリアレイMA0～M

A_n と、メモリアレイMA0～MA n の間に配設されるセンスアンプ帯SB1～SB n と、メモリアレイMA0およびMA n の外側に配置されるセンスアンプ帯SB0およびSB $n+1$ を含む。メモリアレイMA0～MA n の各々は、サブワードドライバ帯SWDBにより複数のメモリサブアレイMSAに分割される。

【0009】

メモリアレイMA0～MA n の各々において、サブワードドライバ帯SWDBにより分割されるメモリサブアレイMSAに共通にメインワード線MWLが配設される。メインワード線MWLは、対応のメモリアレイの各メモリサブアレイMSAの所定数のサブワード線に対応してそれぞれ配置される。メインワード線MWLおよびセンスアンプ帯上に配置される所定数のサブデコード線SDLが、サブワードドライバ帯SWDB内のサブワードドライバに入力されて、一本のサブワード線が選択される。

【0010】

センスアンプ帯SB1～SB n の各々は、隣接メモリアレイにより共有される。メモリアレイMA0～MA n に対応してメインワード線およびサブデコード線をロウアドレス信号に従って選択するロウデコーダが配置され、またロウデコーダと整列してコラムアドレス信号に従ってメモリアレイから列を選択するための列選択信号を列選択線CSL上に伝達するコラムデコーダが配置される。

【0011】

列選択線CSLはセンスアンプ帯に配設され、選択時に所定数のセンスアンプ回路を内部データ線対GIOPの群に接続する。内部データ線対GIOPは、所定数がメモリアレイMA0ないしMA n をわたって延在して配設され、ローカルデータ線を介して選択されたセンスアンプ回路と結合される。

【0012】

内部データ線対GIOPは、128ビットから512ビット設けられ、プリアンプおよびライトドライバを含むデータバス帯DPBに結合される。このデータバス帯DPBにおいては、内部データ線対GIOPそれぞれに対応してプリアンプおよびライトドライバが配置される。内部データ線対GIOPは、書込データおよび読出データ両者を伝達する伝達線対であってもよく、また読出データを伝

達するバス線対および書込データを伝達する書込データ線対が別々に内部データバス線対として設けられてもよい。

【0013】

DRAM回路ブロックは、さらに、ロジックから与えられるたとえば13ビットの外部アドレスA0～A12を受けるロウアドレス入力回路／リフレッシュカウンタRAFKおよびコラムアドレス入力回路CAKと、ロジックから与えられる外部制御信号CLK, CKE, /CS, /RAS, /CAS, /WE, DMを受け、各種動作を指定する内部制御信号を生成するコマンドデコーダ／制御回路CDCと、データバス帯DPBとロジックとの間でデータの転送を行なうためのデータ入出力制御回路DIOKを含む。

【0014】

コマンドデコーダ／制御回路CDCは、クロック信号CLK、クロックイネーブル信号CKE、ロウアドレスストローブ信号／RAS、コラムアドレスストローブ信号／CAS、ライトイネーブル信号／WEおよびデータマスク信号DMを受け、これらの制御信号の立上がりエッジにおける論理状態に応じて指定された動作モードを判別する。この場合、これらの複数の制御信号CKE、／RAS、／CAS、／WEのクロック信号CLKの立上がりエッジにおける論理状態の組合せにより、「コマンド」が指定される。

【0015】

データマスク信号DMは、データ入出力制御回路DIOKに与えられるデータに対し、バイト単位で書込のマスクを指示する。コマンドデコーダ／制御回路CDCは、ロジックから与えられるコマンドをデコードし、このコマンドにより指定される動作モードを指示する動作モード指示信号を生成し、指定された動作モードを行なうための各種内部制御信号を生成する。

【0016】

コマンドには、行を選択状態に設定するためのロウアクティブコマンド、データ読出を指示するリードコマンド、データ書込を指示するライトコマンド、選択行を非選択状態へおくためのプリチャージコマンド、リフレッシュ動作を行なうためのオートリフレッシュコマンド、セルフリフレッシュを行なうためのセルフ

リフレッシュコマンドなどが含まれる。

【 0 0 1 7 】

ロウアドレス入力回路／リフレッシュカウンタ R A F K は、ロウアクティブコマンドが与えられると、コマンドデコーダ／制御回路 C D C の制御の下に、外部アドレスビット A 0 ～ A 1 2、ロウアドレスとして取込み、内部ロウアドレス信号を生成する。

【 0 0 1 8 】

このロウアドレス入力回路／リフレッシュカウンタ R A F K は、与えられたアドレスビットをバッファ処理するアドレスバッファと、バッファ回路の出力信号をラッチするアドレスラッチを含む。

【 0 0 1 9 】

ロウアドレス入力回路／リフレッシュカウンタ R A F K に含まれるリフレッシュカウンタは、オートリフレッシュコマンドまたはセルフリフレッシュコマンドが与えられたとき、リフレッシュ行を指定するリフレッシュアドレスを生成する。リフレッシュ動作完了後、このリフレッシュカウンタのカウント値が増加または減少される。

【 0 0 2 0 】

コラムアドレス入力回路 C A K は、リードコマンドまたはライトコマンドが与えられると、コマンドデコーダ／制御回路 C D C の制御の下に、たとえば外部アドレスビットのうちアドレスビット A 0 ～ A 4 の下位の部分を取込み、内部コラムアドレス信号を生成する。このコラムアドレス入力回路 C A K も、アドレスバッファおよびアドレスラッチを含む。

【 0 0 2 1 】

ロウアドレス入力回路／リフレッシュカウンタ R A F K からの内部ロウアドレス信号はロウプリデコーダ R P D へ与えられ、コラムアドレス入力回路 C A K からの内部コラムアドレス信号は、コラムプリデコーダ C P D へ与えられる。

【 0 0 2 2 】

ロウプリデコーダ R P D は、与えられた内部ロウアドレス信号をプリデコードして、プリデコード信号をロウ／コラムデコーダ帯 R C D B に含まれるロウデコ

ーダへ与える。コラムプリデコーダCPDは、コラムアドレス入力回路CAKからの内部コラムアドレス信号をプリデコードし、プリデコード信号をロウ／コラムデコーダ帯RCDBに含まれるコラムデコーダへ与える。

【0023】

コマンドデコーダ／制御回路CDCは、リードコマンドまたはライトコマンドを受けると、データ入出力制御回路DIOKおよびデータパス帯DPBに含まれるプリアンプおよびライトドライバの動作の制御を行なうための内部制御信号を生成する。クロック信号CLKは、このDRAM回路ブロックの内部動作タイミングを決定する基準信号として利用される。

【0024】

データ入出力制御回路DIOKは、クロック信号CLKに同期してデータの入出力を行ない、またロウアドレス入力回路／リフレッシュカウンタRAFKのロウアドレス入力回路およびコラムアドレス入力回路CAKは、クロック信号CLKに同期して、与えられたアドレスビットの取込およびラッチを行なう。

【0025】

DRAM回路ブロックは、さらに、内部電圧VPP、VCCS、VCCP、VBLおよびVCPを発生する内部電圧発生回路と、セルフリフレッシュモードが指定されたときすなわちコマンドデコーダ／制御回路CDCから与えられるコマンドCOMがセルフリフレッシュコマンドであったときに所定の間隔で、リフレッシュ要求信号FAYを活性化するセルフリフレッシュタイマを含むブロックPHKを含む。

【0026】

内部電圧VPPは、選択サブワード線SWL上に伝達される電圧であり、通常、動作電源電圧よりも高い電圧レベルである。電圧VCCSは、センスアンプ帯SB0～SBn+1に含まれるセンスアンプ回路の動作電源電圧であり、図示しない内部降圧回路により生成される。電圧VCCPは、周辺電源電圧であり、ロウ／コラムデコーダ帯RCDBに含まれるロウデコーダおよびコラムデコーダ、データパス帯DPBに含まれるプリアンプおよびライトドライバなどの周辺回路へ与えられる動作電源電圧であり、図示していない内部降圧回路により生成され

る。電圧 V_{BL} は、ビット線プリチャージ電圧である。電圧 V_{CP} は、メモリセルのセルプレートへ与えられるセルプレート電圧であり、メモリセルデータの H レベルの電圧および L レベルの電圧の中間レベルである。これらの電圧 V_{BL} および V_{CP} は、通常は、アレイ電源電圧（センス電源電圧） V_{CCS} の $1/2$ の中間電圧である。

【0027】

ブロック PHK のセルフリフレッシュタイマは、セルフリフレッシュモードに入ると活性化され、最大リフレッシュ時間 t_{REFmax} で、メモリアレイ $MA_0 \sim MA_n$ のすべての行のリフレッシュが 1 回完了するように、所定の間隔で、リフレッシュ要求信号 FAY を発行する。

【0028】

このようなセルフリフレッシュモードは、通常、スリープモード時、すなわちシステム LSI が長期にわたってスタンバイ状態にあるときに設定される。メモリセル内のキャパシタに蓄積された電荷は、種々のリーク電流たとえばストレージノード SN における接合リーク電流、メモリセルトランジスタのチャネルリーク電流、キャパシタ絶縁膜のリーク電流などによって失われる。特に、H（ハイ）データを書込んだ場合、メモリセルからのビット線への読出動作を行なった際に得られるビット線対間の電位差がセンスアンプのセンス感度以下まで低下するまでにリフレッシュを行なう必要がある。したがって、チップ全体のデータ保持時間は、チップ内で一番短いデータ保持時間を持つメモリセルによって先に説明した t_{REFmax} が定められている。

【0029】

メモリアレイ $MA_0 \sim MA_n$ のすべての行をリフレッシュするのに必要なリフレッシュ回数を N_{ref} とすると、リフレッシュ要求信号 FAY は、 t_{REFmax}/N_{ref} の周期で発行される。たとえば、 $N_{ref} = 4096$ の 4K リフレッシュモードにおいては、最大リフレッシュ時間 t_{REFmax} が 64 ms であれば、リフレッシュ要求信号 FAY は、 $16 \mu s$ ごとに発行される。

【0030】

【発明が解決しようとする課題】

一方、携帯情報端末等においては、外部クロックの供給の必要のない非同期の汎用スタティックランダムアクセスメモリ（SRAM）を使用するシステム構成が広く採用されている。高速データ処理に必要なメモリはプロセッサに内蔵されているキャッシュメモリが受け持つため、外付けのデータ保持用SRAMには高速アクセスの機能は要求されない。

【0031】

したがって、小型化の要求が厳しい携帯情報端末等においては、システム構成を簡単にするために、リフレッシュ周期ごとのリフレッシュ動作やさらにはリフレッシュ中のメモリへのアクセスをリフレッシュサイクルが終了するまで待つ制御といったようなリフレッシュにかかわる複雑なメモリコントロールが不要な汎用SRAMが使用されている。

【0032】

しかしながら、携帯情報端末も、近年では画像をも取扱うように機能が大幅に向上してきており、大容量のメモリ機能が必要になってきている。この場合、メモリセルサイズがDRAMのメモリセルに比べて10倍近くもあるSRAMでは、大容量メモリになるとチップの価格が大幅に上昇し携帯情報端末のコストが上昇してしまう。したがってSRAMの代替メモリとしてDRAMへの期待が大きくなってきている。

【0033】

特に、大容量DRAMと大規模ロジックやマイクロプロセッサ等を集積化した混載DRAMは、内部のデータバスを多ビットにすることにより動作周波数を低く抑えても高速データ転送が可能であり、かつ動作時の消費電流が少ないという特徴を有するため、ロジック内蔵DRAMなどのシステムLSIへの期待が大きい。しかしながら、DRAMには、リフレッシュにかかわる複雑なメモリコントロールが必要であるため、DRAMをSRAMの代替メモリとして採用することは簡単ではない。

【0034】

本発明の目的は、携帯情報端末等において好適に用いられるSRAM並みにメモリコントロールを簡素化したDRAM回路ブロックを内蔵するシステムLSI

を実現することである。

【 0 0 3 5 】

【課題を解決するための手段】

請求項 1 に記載の半導体記憶装置は、行および列状に配置される複数のメモリセルを含むメモリアレイと、複数のメモリセルが保持するデータをリフレッシュするために必要な時間間隔で、リフレッシュ要求信号を出力するリフレッシュタイマ回路と、アクセスコマンドに応じて内部コマンド信号を発生するコマンド発生回路と、内部コマンド信号およびリフレッシュ要求信号に応じてメモリアレイの行選択に関連する動作を行なう行選択制御回路とを備え、行選択制御回路は、内部コマンド信号に応じて活性化し、メモリアレイの行選択動作のタイミング信号を出力するタイミング制御回路と、リフレッシュ要求信号を受けて保持し、タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号を出力するリフレッシュ制御回路と、内部リフレッシュコマンド信号に応じて活性化し、タイミング制御回路に代わってタイミング信号を出力するリフレッシュタイミング制御回路とを含み、タイミング信号に応じてメモリアレイの行選択を行なう行選択回路をさらに備える。

【 0 0 3 6 】

請求項 2 に記載の半導体記憶装置は、請求項 1 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、アクセスコマンドは、読出コマンドを含み、半導体記憶装置がアクセスコマンドを受けてから次のアクセスコマンドを受けることができる基本サイクル時間は、内部コマンド信号が出力されてからメモリアレイよりデータの読出が完了するまでの通常読出サイクル時間と、内部リフレッシュコマンド信号が出力されてからメモリアレイの内部リフレッシュコマンド信号に対応する部分のリフレッシュが完了するまでのリフレッシュサイクル時間との合計時間以上である。

【 0 0 3 7 】

請求項 3 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、リフレッシュ制御回路は、リフレッシュ要求信号を受けて保持するラッチ回路と、ラッチ回路の出力がリフレッシュ要求信号

が⁶入力されたことを示し、かつ、タイミング制御回路が非活性化されている場合に内部コマンド信号の基となるパルスを出力するパルス発生回路を有する。

【 0 0 3 8 】

請求項 4 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成において、コマンド発生回路は、アクセスコマンドを保持し、リフレッシュタイミング制御回路が活性化されている場合には、リフレッシュタイミング制御回路が非活性化されるまで待ってから内部コマンド信号を出力する。

【 0 0 3 9 】

請求項 5 に記載の半導体記憶装置は、請求項 4 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、コマンド発生回路は、アクセスコマンドを受けて保持するラッチ回路と、ラッチ回路の出力がアクセスコマンドが入力されたことを示し、かつ、リフレッシュタイミング制御回路が非活性化されている場合に内部コマンド信号の基となるパルスを出力するパルス発生回路を有する。

【 0 0 4 0 】

請求項 6 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、コマンド発生回路は、アクセスコマンドに応じてコマンド発生基準信号を出力する内部コマンド発生回路と、コマンド発生基準信号を少なくともリフレッシュサイクル時間以上遅延させて内部コマンド信号を出力する遅延回路とを含み、リフレッシュ制御回路は、リフレッシュ要求信号を受けて保持し、タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号を出力する。

【 0 0 4 1 】

請求項 7 に記載の半導体記憶装置は、請求項 6 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、リフレッシュ制御回路は、リフレッシュ要求信号を保持するラッチ回路と、ラッチ回路の出力がリフレッシュ要求信号が入力されたことを示し、かつ、タイミング制御回路が非活性状態になったときに内部リフレッシュコマンド信号の基となるパルスを出力するパルス発生回路を有する。

【0 0 4 2】

請求項 8 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、メモリアレイからの出力を受けて読出データとして保持し出力イネーブル信号を受けて読出データを出力するデータ入出力制御回路をさらに備える。

【0 0 4 3】

請求項 9 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、行選択制御回路は、与えられる行アドレスを保持して通常行アドレスを出力するアドレスラッチ回路と、リフレッシュする行に対応するリフレッシュ行アドレスを順次更新して出力するリフレッシュカウンタ回路と、通常行アドレスとリフレッシュ行アドレスとを受けて、内部リフレッシュコマンド信号に応じていずれか一方をメモリアレイの行選択を行なうアドレスとして出力する選択回路とをさらに含む。

【0 0 4 4】

請求項 1 0 に記載の半導体記憶装置は、請求項 9 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、メモリアレイは、独立して行選択動作が可能な複数のバンクを含み、リフレッシュ制御回路は、通常行アドレスが示すバンクとリフレッシュ行アドレスが示すバンクとが一致する場合には、タイミング制御回路が非活性となってから内部リフレッシュコマンド信号を出力する。

【0 0 4 5】

請求項 1 1 に記載の半導体記憶装置は、請求項 9 に記載の半導体記憶装置に記載の半導体記憶装置の構成において、アドレスラッチ回路は、与えられる行アドレスををクロック信号に同期して取込む。

【0 0 4 6】

請求項 1 2 に記載の半導体記憶装置は、請求項 2 に記載の半導体記憶装置に記載の半導体記憶装置の構成に加えて、アクセスコマンドをクロック信号に同期して取込み、コマンド発生回路に与えるラッチ回路をさらに備える。

【0 0 4 7】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。
 なお、図中同一符号は同一または相当部分を示す。

【 0 0 4 8 】

〔実施の形態 1〕

図 1 は、本発明の D R A M 内蔵システム L S I の構成を概略的に示す図である。

【 0 0 4 9 】

図 1 を参照して、システム L S I 1 は、外部ピン端子群 L P G A に結合され、指令された処理を実行する大規模ロジック L G と、大規模ロジック L G と外部ピン端子群 A P G との間に結合され、アナログ信号についての処理を行なうアナログコア A C R と、大規模ロジック L G に内部配線を介して結合され、この大規模ロジック L G が必要とするデータを格納する D R A M コア M C R と、テストモード時に大規模ロジック L G と D R A M とを切離し、テストピン端子群 T P G を介して D R A M コア M C R に対するテスト動作を行なうためのテストインターフェイス回路 T I C を含む。D R A M コア M C R は、電源ピン端子 P S T を介して電源電圧 V C C を受ける。

【 0 0 5 0 】

アナログコア A C R は、内部のクロック信号を発生する位相同期回路（P L L）、外部からのアナログ信号をデジタル信号に変換するアナログ／デジタル変換器、および大規模ロジック L G から与えられるデジタル信号をアナログ信号に変換して出力するデジタル／アナログ変換器を含む。

【 0 0 5 1 】

D R A M コア M C R は、非同期の汎用 S R A M と同様なメモリコントロールが簡素化された D R A M であり、大規模ロジック L G からコマンドを受けてデータの取込および出力を実行する。

【 0 0 5 2 】

図 2 は、図 1 における D R A M コア M C R の構成を示した概略ブロック図である。

【 0 0 5 3 】

図 2 を参照して、DRAM コア MCR は、データを記憶するメモリアレイ MB と、大規模ロジック LG から与えられるたとえば 13 ビットの外部アドレス A0 ～ A12 および大規模ロジック LG から与えられる外部制御信号 exREADn、exWRITEn に応じて各種動作を指定する内部制御信号を生成し、ロウブリデコード信号等の行系の制御信号を出力する行選択系回路／コマンド発生系回路 16 と、外部アドレス A0 ～ A12 を受けて列系の選択制御信号を発生する列選択系回路 14 と、大規模ロジック LG とメモリアレイとの間のデータ授受を行なうデータ入出力制御回路 20 とを含む。

【0054】

データ入出力制御回路 20 は、大規模ロジック LG との間で 128 ビットのデータ信号 DQ を授受する。データ入出力制御回路 20 は、読出時には、出力イネーブル信号 OE に応じてメモリアレイから読出されたデータを出力する。

【0055】

メモリアレイ MB は、複数のメモリアレイ MA0 ～ MAn と、メモリアレイ MA0 ～ MAn の間に配設されるセンスアンプ帯 SB1 ～ SBn と、メモリアレイ MA0 および MAn の外側に配置されるセンスアンプ帯 SB0 および SBn+1 を含む。メモリアレイ MA0 ～ MAn の各々は、サブワードドライバ帯 SWDB により複数のサブメモリアレイ SMA に分割される。

【0056】

メモリアレイ MA0 ～ MAn の各々において、サブワードドライバ帯 SWDB により分割されるサブメモリアレイ SMA に共通にメインワード線 MWL が配設される。メインワード線 MWL は、対応のメモリアレイの各サブメモリアレイ SMA の所定数のサブワード線に対応してそれぞれ配置される。メインワード線 MWL およびセンスアンプ帯上に配置される所定数のサブデコード線 SDL が、サブワードドライバ帯 SWDB 内のサブワードドライバに入力されて、一本のサブワード線が選択される。

【0057】

センスアンプ帯 SB1 ～ SBn の各々は、隣接メモリアレイにより共有される。メモリアレイ MA0 ～ MAn に対応してメインワード線およびサブワード線を

ロウアドレス信号に従って選択するロウデコーダが配置され、またロウデコーダと整列してコラムアドレス信号に従ってメモリアレイから列を選択するための列選択信号を列選択線CSL上に伝達するコラムデコーダが配置される。

【0058】

列選択線CSLはセンスアンプ帯に配設され、選択時に所定数のセンスアンプ回路を内部データ線対GIOPの群に接続する。内部データ線対GIOPは、所定数がメモリアレイMA0ないしMANをわたって延在して配設され、ローカルデータ線を介して選択されたセンスアンプ回路と結合される。

【0059】

図26に示した従来のDRAMブロックと比べて、サブメモリアレイSMAの大きさを小さくしメモリアレイMBをより多数に分割することにより、ワード線、ビット線の長さが短くなっているため、行選択およびセンスアンプによるセンス動作が高速化される。

【0060】

内部データ線対GIOPは、128ビットから512ビット分設けられ、プリアンプおよびライトドライバを含むデータバス帯DPBに結合される。このデータバス帯DPBにおいては、内部データ線対GIOPそれぞれに対応してプリアンプおよびライトドライバが配置される。内部データ線対GIOPは、書込データおよび読出データ両者を伝達する伝達線対であってもよく、また読出データを伝達するバス線対および書込データを伝達する書込データ線対が別々に内部データバス線対として設けられてもよい。

【0061】

行選択系回路／コマンド発生系回路16に与えられる外部制御信号exREADn、exWRITEnは、図26で外部制御信号の組み合わせで与えられていたデータ読出を指示するリードコマンド、データ書込を指示するライトコマンドに対応する。外部制御信号exREADn、exWRITEnに応じて、行選択系回路／コマンド発生系回路16は、所定の内部コマンド信号を発生する。

【0062】

行選択系回路／コマンド発生系回路16は、さらに、外部アドレスビットA0

〜A12をロウアドレスとして取込み、内部ロウアドレス信号を生成する。

【0063】

列選択系回路14は、外部アドレスA0〜A12を受けてコラムアドレスを取込み保持し、出力するコラムアドレス入力回路22と、コラムアドレスを受けてプリデコードするコラムプリデコーダ24とを含む。

【0064】

コラムアドレス入力回路22は、内部リードコマンドまたは内部ライトコマンドが与えられると、行選択系回路／コマンド発生系回路16の制御の下に、たとえば外部アドレスビットA0〜A12のうちアドレスビットA0〜A4の下位の部分を取込み、内部コラムアドレス信号を生成する。このコラムアドレス入力回路22も、アドレスバッファおよびアドレスラッチを含む。

【0065】

コラムアドレス入力回路22からの内部コラムアドレス信号は、コラムプリデコーダ24へ与えられる。

【0066】

行選択系回路は、与えられた内部ロウアドレス信号をプリデコードして、プリデコード信号をロウ／コラムデコーダ帯RCDBに含まれるコラムデコーダへ与える。コラムプリデコーダ24は、コラムアドレス入力回路22からの内部コラムアドレス信号をプリデコードし、プリデコード信号をロウ／コラムデコーダ帯RCDBに含まれるコラムデコーダへ与える。

【0067】

コマンド発生系回路は、リードコマンドまたはライトコマンドを受けると、データ入出力制御回路20およびデータバス帯DPBに含まれるプリアンプおよびライトドライバの動作の制御を行なうための内部制御信号を生成する。

【0068】

DRAM回路ブロックは、さらに、内部電圧VPP、VCCS、VCCP、VBLおよびVCPを発生する内部電圧発生回路と、所定の間隔でリフレッシュ要求信号FAYを活性化するセルフリフレッシュタイマを含むブロックPHKを含む。DRAMコアに電源が投入されたときにパワーオンリセットによってリセッ

トされた後、セルフリフレッシュタイマが自動的にリフレッシュ要求信号FAYの活性化を開始するように構成してもよい。また、電源投入後にDRAMコアの外部から図示しない制御信号に応じて行選択系回路／コマンド発生系回路16にコマンドを与え、発生される内部コマンドCOMによってセルフリフレッシュタイマがリフレッシュ要求信号FAYの活性化を開始するように構成してもよい。

【0069】

内部電圧VPPは、選択サブワード線SWL上に伝達される電圧であり、通常、動作電源電圧よりも高い電圧レベルである。電圧VCCSは、センスアンプ帯SB0～SBn+1に含まれるセンスアンプ回路の動作電源電圧であり、図示しない内部高圧回路により生成される。電圧VCCPは、周辺電源電圧であり、ロウ／コラムデコーダ帯RCDBに含まれるロウデコーダおよびコラムデコーダ、データバス帯DPBに含まれるプリアンプおよびライトドライバなどの周辺回路へ与えられる動作電源電圧であり、図示していない内部降圧回路により生成される。電圧VBLは、ビット線プリチャージ電圧である。電圧VCPは、メモリセルのセルプレートへ与えられるセルプレート電圧であり、メモリセルデータのHレベルの電圧およびLレベルの電圧の中間レベルである。これらの電圧VBLおよびVCPは、通常は、アレイ電源電圧（センス電源電圧）VCCSの1/2の中間電圧である。

【0070】

ブロックPHKのセルフリフレッシュタイマは、セルフリフレッシュモードに入ると活性化され、最大リフレッシュ時間tREFmaxで、メモリアレイMA0～MANのすべての行のリフレッシュが1回完了するように、所定の間隔で、リフレッシュ要求信号FAYを発行する。

【0071】

図3は、図2におけるメモリアレイMBの構成を概略的に示した図である。

図3を参照して、メモリアレイMBにおいては、メモリセルアレイは多数のサブメモリアレイSMAに分割されており、複数のサブメモリアレイSMAの各々にサブワードドライバ帯SWDとセンスアンプ帯SAとが配置されている。また、行方向に配置された複数のサブメモリアレイSMAを横断するようにメインワ

ード線MWLが行方向に延びており、メインワード線MWLにサブワードドライバSWDを介して接続されたサブワード線SWLのサブメモリアレイSMA内を行方向に延びている。メインワード線MWLは、ロウデコーダRDの信号に従ってメインワードドライバMWDで駆動される。

【0072】

図4は、図3におけるサブメモリアレイSMAとその周辺に配置されるサブワードドライバSWDおよびセンスアンプSAとの接続関係を概略的に示した図である。

【0073】

図4を参照して、サブメモリアレイSMAは、行列状に配置された複数のメモリセルMCを有している。同一行に配置されたメモリセルMCのゲートには、サブワード線SWLが接続されており、このサブワード線SWLは、サブワードドライバ帯SWDの各ドライバSWD aに接続されている。同一列に配置されたメモリセルMCは、ビット線対BLおよび／BLのいずれかに接続されている。このビット線対BLおよび／BLは、シェアードゲート信号SHR bがゲートに入力されているNチャネルMOSトランジスタNT10、NT11を介して、図4中の上下のいずれかのセンスアンプS/Aに接続されている。

【0074】

なお、センスアンプ帯SAは、図4の横方向に延在して図2に示したセンスアンプ帯SB0～SBm+1を構成している。センスアンプ帯SAは、NチャネルMOSトランジスタNT10～NT13を構成要素とする複数のS/Aシェア回路および複数のセンスアンプS/A以外に、NチャネルMOSトランジスタNT15～NT17を構成要素とする複数のイコライズ回路を有している。このイコライズ回路は、ビット線BL、／BLにプリチャージ電圧VBLを印加するためのものである。

【0075】

サブワード線SWLは、メインワード線MWLの信号とサブデコード線SDLの信号に従ってサブワードドライバSWD aによって駆動される。

【0076】

図 5 は、図 4 におけるメモリセル MC の構成例を示した回路図である。

図 5 を参照して、メモリセル MC は、一方端にセルプレートが接続されセルプレート電位 VCP が与えられるキャパシタ 32 と、キャパシタ 32 の他方端とビット線 BL との間に接続されゲートがサブワード線 SWL に接続された N チャンネル MOS トランジスタ 34 とを含む。

【 0 0 7 7 】

このキャパシタ 32 の一方端に接続されているセルプレート CP は、図 4 に示すようにサブメモリアレイ SMA のほぼ全域に分布している。このセルプレート CP は、サブメモリアレイ SMA とサブワードドライバ帯 SWD との境界近傍に延在する VCP 電源線 VCPL に複数個所で接続されることで、セルプレート電位 VCP に固定されている。

【 0 0 7 8 】

以上説明したメモリアレイの構成においては、図 26 で説明した従来の DRAM ブロックと比べてロウアドレスアクセスおよびサイクル時間を短くするために、メモリアレイ MA0 ~ MA_m の数をそれぞれのメモリアレイを小さくすることにより増やしており、さらに、メモリアレイ MA_m の分割数を増やしてサブメモリアレイ SMA の大きさを従来に比べて小さくしている。したがって、携帯情報端末等に使用されている低速 SRAM の製品規格で決められた、たとえば 70 ns のサイクル時間に対して、DRAM の動作が 2 サイクル可能なように構成されている。

【 0 0 7 9 】

図 6 は、図 2 における行選択系回路 / コマンド発生系回路 16 の構成を示すブロック図である。

【 0 0 8 0 】

図 6 を参照して、行選択系回路 / コマンド発生系回路 16 は、行選択制御回路 41 とコマンド発生回路 40 とを含む。

【 0 0 8 1 】

コマンド発生回路 40 は、外部制御信号 exWRITE_n および exREAD_n を受けて信号 bufRW を出力する AND 回路 42 と、外部制御信号 exWR

I T E n および e x R E A D n およびリフレッシュ活性化信号 R E F _ R A S に応じてロウアクティブコマンド信号 A C T 0 を活性化するコマンド入力バッファ／ラッチ回路 4 4 と、ロウアクティブコマンド信号 A C T 0 およびワード線駆動タイミング信号 R X T に応じて内部コマンド信号 A C T 、 P R E 、 i n t W R I T E 、 i n t R E A D を出力する内部コマンド発生回路 4 6 とを含む。

【 0 0 8 2 】

行選択制御回路 4 1 は、8 個のメモリアレイ M A 0 ～ M A 7 に対応して設けられる。メモリアレイ M A 0 ～ M A 7 それぞれにおいて、5 1 2 本のワード線（サブワード線）が配置される。

【 0 0 8 3 】

行選択制御回路 4 1 は、ロウアドレスイネーブル信号 R A D E の活性化にตอบสนองして外部から与えられる 1 2 ビットのロウアドレスビット R A < 1 1 : 0 > を取込みラッチする入力バッファ／ラッチ回路 5 2 と、リフレッシュ活性化信号 R E F _ R A S の非活性化にตอบสนองしてそのカウント値をインクリメントするリフレッシュカウンタ 5 4 と、リフレッシュ活性化信号 R E F に従って入力バッファ／ラッチ回路 5 2 およびリフレッシュカウンタ 5 4 の出力ビットを選択するセクタ 5 6 と、セクタ 5 6 からの 1 2 ビットのロウアドレスのうち、上位 3 ビットの内部ロウアドレス R A F < 1 1 : 9 > をデコードしてメモリアレイを特定するブロック選択信号 B S < 7 : 0 > を生成するブロックデコード回路 6 0 と、セクタ 5 6 からの下位 9 ビットのロウアドレス R A F < 8 : 0 > をプリデコードするロウプリデコード回路 6 2 とを含む。

【 0 0 8 4 】

リフレッシュ活性化信号 R E F _ R A S は、セルフリフレッシュ要求信号にตอบสนองして所定期間活性状態となり、その間選択されたサブメモリアレイ S M A においてリフレッシュ行の選択およびメモリセルデータのリフレッシュが実行される。

【 0 0 8 5 】

セクタ 5 6 は、このリフレッシュ活性化信号 R E F の活性化時リフレッシュカウンタ 5 4 の出力ビット Q A < 1 1 : 0 > を選択し、リフレッシュ活性化信号

REFの非活性化時、入力バッファ／ラッチ回路52の出力ビットを選択する。

【0086】

リフレッシュカウンタ54は、リフレッシュ時には、アドレスビットQA<11:0>の範囲でアドレスを1ずつ増加させる。

【0087】

ブロックデコード回路60およびロウプリデコード回路62は、メモリマットのメモリアレイMA0～MA7に共通に設けられてもよく、またメモリアレイMA0～MA7にそれぞれに対応して設けられてもよい。

【0088】

ロウプリデコード回路62が、メモリアレイそれぞれに対応して設けられる場合には、ブロックデコード回路60からのブロック選択信号BS<7:0>に従って、ロウプリデコード回路62が、選択的に活性化され、選択された（指定された）メモリアレイに対して設けられたロウプリデコード回路62がプリデコード動作を実行する。

【0089】

行選択制御回路41は、さらに、セルフリフレッシュタイマから発行されるリフレッシュ要求信号FAY、ノーマル動作信号ACT_RAS、リフレッシュ活性化信号REF_RASに応じてリフレッシュ活性化信号REFを出力するリフレッシュコントロール回路50と、リフレッシュ活性化信号REFが活性化するとロウ系制御タイミング信号を所定のシーケンスで発生するロウ系リフレッシュタイミング制御回路58と、ロウアクティブコマンド信号ACTに応じてロウ系制御タイミング信号を所定のシーケンスで発生するロウ系タイミング制御回路48とを含む。

【0090】

リフレッシュコントロール回路50は、リフレッシュ要求信号FAYが与えられると、後に説明するようにリフレッシュ活性化信号REFを活性化する。ロウ系リフレッシュタイミング制御回路58がこのリフレッシュ活性化信号REFに従って所定のシーケンスで各制御信号を発生した後、ロウ系リフレッシュタイミング制御回路58は、センスアンプ活性化信号SOが活性化されてから所定期

間経過後にリフレッシュ活性化信号REF_RASを非活性化状態に駆動する。これらの一連の動作により、1つのセルフリフレッシュ動作が完了する。リフレッシュ活性化信号REF_RASが非活性化状態となると、リフレッシュカウンタ54がリフレッシュアドレスQA<11:0>を1だけ増加させる。

【0091】

図7は、図6に示したコマンド入力バッファ／ラッチ回路44の構成を示す回路図である。

【0092】

図7を参照して、コマンド入力バッファ／ラッチ回路44は、内部プリチャージコマンド信号PREを受けて反転するインバータ72と、外部ライトコマンド信号exWRITEnがLレベルになるとセットされ、インバータ72の出力がLレベルになるとリセットされるラッチ回路74と、ラッチ回路74の反転出力/Qとリフレッシュ活性化信号REF_RASとを受けるOR回路76と、OR回路76の出力を受けてその変化に応じてパルスが発生するパルス発生回路78とを含む。

【0093】

コマンド入力バッファ／ラッチ回路44は、さらに、内部プリチャージコマンド信号PREを受けて反転するインバータ82と、外部リードコマンド信号exREADnがLレベルになったときにセットされインバータ82の出力がLレベルになったときにリセットされるラッチ回路84と、ラッチ回路84の反転出力/Qとリフレッシュ活性化信号REF_RASとを受けるOR回路86と、OR回路86の出力に応じてパルス信号を発生するパルス発生回路88と、パルス発生回路78、88の出力を受けるOR回路90とを含む。OR回路90はロウアクティブコマンド信号ACT0を出力する。

【0094】

図8は、図7に示したパルス発生回路78の構成を示す回路図である。パルス発生回路78は、K.Dosaka et al., "A 90-MHz 16-Mb System Integrated Memory with Direct Interface to CPU" IEICE TRANS ELECTRON VOL.E79-C, pp948-955, NO.7 JULY 1996.に記載されている。

【0095】

図7、図8を参照して、パルス発生回路78は、入力信号INを受けて反転するインバータ91と、インバータ91の出力と電源電位とを入力に受けるNAND回路92と、NAND回路92の出力を受けて反転するインバータ94と、一方の入力同士が交差結合されたNAND回路96、98と、NAND回路98の出力を受けて反転するインバータ100とを含む。インバータ94の出力はNAND回路86の他方の入力に与えられる。

【0096】

パルス発生回路78は、さらに、インバータ91の出力とインバータ100の出力とを入力に受けるNAND回路102と、NAND回路102の出力を受けて反転するインバータ104と、電源ノードと接地ノードとの間に直列に接続されるPチャネルMOSトランジスタ108およびNチャネルMOSトランジスタ106と、PチャネルMOSトランジスタ108とNチャネルMOSトランジスタ106の接続ノードの電位を受けて反転し出力信号OUTを出力するインバータ110とを含む。インバータ104の出力はNチャネルMOSトランジスタ106のゲートに与えられる。また、PチャネルMOSトランジスタ108とNチャネルMOSトランジスタ106の接続ノードの電位はNAND回路98の他方の入力に与えられる。

【0097】

パルス発生回路78は、さらに、出力信号OUTを受けて遅延する遅延回路112と、遅延回路112の出力を受けて反転しPチャネルMOSトランジスタ108のゲートに与えるインバータ114とを含む。

【0098】

なお、図7のパルス発生回路88は、パルス発生回路78と同様な構成を有しており説明は繰返さない。

【0099】

図9は、図8に示したパルス発生回路78の動作を説明するための動作波形図である。

【0100】

図 8、図 9 を参照して、時刻 t_1 において入力信号 I_N が H レベルから L レベルに立下がると、その立下がりエッジに応じて NAND 回路 9 6, 9 8 で構成されるラッチ回路がセットされ応じて N チャネル MOS トランジスタ 1 0 6 が導通し出力信号 $O_U T$ が変化する。そして、遅延回路 1 1 2 による遅延後の時刻 t_2 においては P チャネル MOS トランジスタ 1 0 8 が非導通状態となり、NAND 回路 9 6, 9 8 で構成されるラッチ回路がリセットされ応じて出力信号 $O_U T$ が再び変化するパルス信号が発生する。

【 0 1 0 1 】

時刻 t_3 における入力信号 I_N の立上がりにおいてはパルス発生回路 7 8 は出力信号 $O_U T$ を変化させることはない。

【 0 1 0 2 】

図 1 0 は、図 6 におけるリフレッシュコントロール回路 5 0 の構成を示す回路図である。

【 0 1 0 3 】

図 1 0 を参照して、リフレッシュコントロール回路 5 0 は、リフレッシュ活性化信号 $R E F_R A S$ を受けて反転するインバータ 1 2 2 と、リフレッシュ要求信号 $F A Y$ の活性化に応じてセットされインバータ 1 2 2 の出力に応じてリセットされるラッチ回路 1 2 4 と、ラッチ回路 1 2 4 の反転出力 $/Q$ とノーマル動作信号 $A C T_R A S$ とを受ける OR 回路 1 2 6 と、OR 回路 1 2 6 の出力を受けパルス信号を発生するパルス発生回路 1 2 8 とを含む。パルス発生回路 1 2 8 の出力は内部リフレッシュコマンド信号 $R E F$ である。

【 0 1 0 4 】

図 1 1 は、図 6 における入力バッファ／ラッチ回路 5 2 の構成を示す回路図である。

【 0 1 0 5 】

図 1 1 を参照して、入力バッファ／ラッチ回路 5 2 は、信号 $b u f R W$ を受けて反転するインバータ 1 2 2 と、インバータ 1 2 2 の出力および信号 $b u f R W$ に応じて活性化して内部ロウアドレス信号 $R A < 1 1 : 0 >$ を伝達するトランسمッションゲート 1 2 4 とを含む。

【0 1 0 6】

入力バッファ／ラッチ回路 5 2 は、さらに、トランスミッションゲート 1 2 4 によって伝達された外部ロウアドレス信号 $RA<11:0>$ をラッチするためのラッチを構成するインバータ 1 2 6、1 2 8 と、ロウアドレスイネーブル信号 $RADE$ を受けて反転するインバータ 1 3 0 と、インバータ 1 3 0 およびロウアドレスイネーブル信号 $RADE$ に応じて活性化しインバータ 1 2 6 の出力を伝達するトランスミッションゲート 1 3 2 とを含む。

【0 1 0 7】

入力バッファ／ラッチ回路 5 2 は、さらに、トランスミッションゲート 1 3 2 によって伝達されたインバータ 1 2 6 の出力を保持するラッチ回路を構成するインバータ 1 3 4 および 1 3 6 とを含む。インバータ 1 3 4 の出力は内部ロウアドレス信号 $inRA<11:0>$ となる。

【0 1 0 8】

なお、図 1 1 の回路図では、1 ビットに対応する構成を代表的に示したが外部ロウアドレス信号 $RA<11:0>$ のビット数に対応して並列的に同様な構成の回路が設けられている。

【0 1 0 9】

図 1 2 は、実施の形態 1 におけるロウ系回路の動作を説明するための読出時における第 1 の動作波形図である。

【0 1 1 0】

図 6、図 1 2 を参照して、通常の動作においては、図 2 の内部電位発生回路／セルフリフレッシュタイマブロック PHK に含まれるセルフリフレッシュタイマは常に動作しており、リフレッシュ周期ごとにリフレッシュ要求信号 FAY が発行されている。

【0 1 1 1】

時刻 t_1 において外部アドレス信号 $exADR$ が入力されさらに時刻 t_2 において外部リードコマンド信号 $exREADn$ が入力されている場合には内部コマンド発生回路 4 6 に応じてロウアクティブコマンド信号 ACT が時刻 t_3 において活性化され同時にノーマル動作信号 ACT_RAS が活性化する。

【 0 1 1 2 】

時刻 t_4 においてリフレッシュ要求信号が入力された場合であっても、ノーマル動作信号 ACT_RAS が活性化されているときには、リフレッシュコントロール回路 50 は、リフレッシュ要求信号が入力されたことを保持しているが、内部リフレッシュコマンド信号 REF は活性化しない。

【 0 1 1 3 】

ロウ系タイミング制御回路 48 はロウアクティブコマンド信号 ACT に応じて所定のタイミングで内部リードコマンド信号 $intREAD$ を活性化し、内部プリチャージコマンド信号 PRE を活性化する。そしてメモリアレイからは内部データ $intD$ が時刻 t_5 において出力される。

【 0 1 1 4 】

時刻 t_6 においてノーマル動作信号 ACT_RAS の立下がりに応じてリフレッシュコントロール回路はリフレッシュ要求信号 FAY によってセットされていたラッチの情報に応じて内部リフレッシュコマンド信号 REF を活性化させる。そしてロウ系リフレッシュタイミング制御回路 58 はリフレッシュ活性化信号 REF_RAS を所定の時間だけ活性化されリフレッシュサイクルを生成する。

【 0 1 1 5 】

また、外部アドレス信号 $exADR$ が入力された時刻 t_1 から所定のアドレスアクセス時間 tAA だけ経過した後の時刻 t_7 において出力イネーブル信号 OE が活性化されデータ信号 DQ として有効なデータが出力される。

【 0 1 1 6 】

内部コマンド信号 ACT が出力されてからメモリアレイよりデータの読出が完了するまでのノーマル動作信号 ACT_RAS の活性化時間を通常読出サイクル時間と呼ぶことにする。また、内部リフレッシュコマンド信号 REF が出力されてからメモリアレイの内部リフレッシュコマンド信号に対応する部分のリフレッシュが完了するまでのリフレッシュ活性化信号 REF_RAS の活性化時間をリフレッシュサイクル時間と呼ぶことにする。すると、半導体記憶装置がリードコマンドを受けてから次のリードやライト等のアクセスコマンドを受けることができる基本サイクル時間は、通常読出サイクル時間とリフレッシュサイクル時間と

の合計時間以上になっている。

【 0 1 1 7 】

図 1 3 は、ロウ系回路の動作を説明するための読出時の第 2 の動作波形図である。

【 0 1 1 8 】

図 6、図 1 3 を参照して、外部リードコマンド信号 $exREAD_n$ に先立ってリフレッシュ要求信号 FAY が入力されると、リフレッシュコントロール回路 50 はノーマル動作信号 ACT_RAS が非活性化状態にあることを確認し内部リフレッシュコマンド信号 REF を出力する。そして、ロウ系リフレッシュタイミング制御回路 58 はリフレッシュ活性化信号 REF_RAS を所定の時間活性化してリフレッシュサイクルに入り、リフレッシュカウンタで生成されている内部アドレス $QA<11:0>$ で選択される行すなわち、ブロック選択信号 $BS<15:0>$ で選択されるメモリアレイ内のロウプリデコード信号 $X<19:0>$ で選択されるページに対してリフレッシュ動作に入る。

【 0 1 1 9 】

時刻 t_2 において外部アドレス信号 $exADR$ が入力され、時刻 t_3 において外部リードコマンド信号 $exREAD_n$ が入力されても、コマンド入力バッファ／ラッチ回路 44 はリフレッシュ活性化信号 REF_RAS が活性化状態にあるためロウアクティブコマンド信号 ACT_0 を活性化しない。

【 0 1 2 0 】

そして、時刻 t_4 においてリフレッシュ活性化信号 REF_RAS が非活性化状態になると、応じてコマンド入力バッファ／ラッチ回路 44 はロウアクティブコマンド信号 ACT_0 を活性化し、内部コマンド発生回路 46 が応じてロウアクティブコマンド信号 ACT を発生する。そして、ロウ系タイミング制御回路 48 は所定の期間ノーマル動作信号 ACT_RAS を活性化する。この動作に並行して、内部コマンド発生回路 46 は、ロウアクティブコマンド信号 ACT を発行した後所定のタイミングで内部リードコマンド信号 $intREAD$ および内部プリチャージコマンド信号 PRE を順次活性化する。そして時刻 t_5 において内部データ $intD$ がメモリマツトから読出される。

【 0 1 2 1 】

そして、時刻 t_2 からアドレスアクセス時間 t_{AA} 後である時刻 t_6 において出力イネーブル信号 OE の活性化に応じてデータ信号 DQ として有効なデータが出力される。

【 0 1 2 2 】

図 1 4 は、書込時におけるロウ系信号を説明するための第 1 の動作波形図である。

【 0 1 2 3 】

図 6、図 1 4 を参照して、書込時には時刻 t_1 にまず外部入力データがデータ信号 DQ として与えられ、ライトデータとして内部データ $intD$ が保持される。そして、時刻 t_2 において外部アドレス信号 $extADR$ が入力され、続いて時刻 t_3 において外部ライトコマンド信号 $exWRITE_n$ が入力される。すると、時刻 t_4 においてコマンド入力バッファ／ラッチ回路および内部コマンド発生回路 4 6 によってロウアクティブコマンド信号 ACT が発行されノーマル動作信号 ACT_RAS が活性化される。そして、所定のタイミングにおいて内部ライトコマンド信号 $intWRITE$ および内部プリチャージコマンド信号 PRE が発生される。

【 0 1 2 4 】

ノーマル動作信号 ACT_RAS が活性化されている期間中である時刻 t_5 においてリフレッシュ要求信号 FAY が入力された場合であっても、リフレッシュコントロール回路 5 0 は、直ちに内部リフレッシュコマンド信号 REF を活性化させずに時刻 t_6 のノーマル動作信号の非活性化を待ってから内部リフレッシュコマンド信号 REF を活性化させる。そして、ロウ系リフレッシュタイミング制御回路 5 8 においてリフレッシュ活性化信号 REF_RAS が所定の期間活性化されその間にメモリアレイでのリフレッシュが行なわれる。

【 0 1 2 5 】

図 1 5 は、書込時におけるロウ系回路の動作を説明するための第 2 の動作波形図である。

【 0 1 2 6 】

図 6、図 1 5 を参照して、時刻 t_1 においてリフレッシュ要求信号 FAY に応じてリフレッシュ動作が開始された後に時刻 t_2 、 t_3 においてそれぞれ外部アドレス信号 $exADR$ 、外部ライトコマンド信号 $exWRITE_n$ がそれぞれ入力された場合には、コマンド入力バッファ／ラッチ回路 4 4 は、リフレッシュ活性化信号 REF_RAS の非活性化後にロウアクティブコマンド信号 ACT を発生させるように動作する。

【0 1 2 7】

外部ロウアドレス $RA<11:0>$ は、外部リードコマンド信号 $exREAD_n$ あるいは外部ライトコマンド信号 $exWRITE_n$ に同期してラッチされた後ロウアドレスイネーブル信号 $RADE$ に同期してブロックデコード回路 6 0 あるいはロウプリデコード回路 6 2 に送られる。

【0 1 2 8】

したがって、時刻 $t_4 \sim t_5$ において内部データ $intD$ として保持されている外部から入力されてきたライトデータがメモリアレイに対して書込まれる。

【0 1 2 9】

以上説明したように、リードサイクルにおいて、内部でのリード動作が最初の第 1 のサイクルに行なわれても、あるいはリフレッシュサイクルが経過した後の第 2 のサイクルで行なわれても、アドレスアクセス時間 tAA 時間後に出力イネーブル信号 OE を活性化させて出力データを有効にする。このため、第 1 のサイクルでリード動作が行なわれた場合には内部データバス上にリードデータを保持しておく。したがって、リードデータが出力されるタイミングはスペック上のアドレスアクセス時間 tAA で規定される。

【0 1 3 0】

一方、ライトサイクルにおいて第 2 のサイクルでライト動作が行なわれる場合には、ラッチされた外部入力データは、内部ライトコマンド信号 $intWRITE$ が発行されるまで保持される。

【0 1 3 1】

その後内部コマンド発生回路 4 6 においてロウアクティブコマンド信号 ACT が活性化されそしてロウ系タイミング制御回路 4 8 に入ると各種のロウ系制御信

号が生成される。その中のワード線駆動マスタ信号 R X T が生成されると、内部コマンド発生回路 4 6 において外部コマンドに従って内部リードコマンド信号 i n t R E A D あるいは内部ライトコマンド信号 i n t W R I T E が発生され、さらに、内部プリチャージコマンド信号 P R E が所定の遅延時間後に発生される。

【 0 1 3 2 】

つまり、低速 S R A M の製品スペックで決められたサイクル時間内に 2 サイクルのメモリアレイへのアクセス動作が可能ないように D R A M のサブメモリアレイの分割を増やしてサイクル時間を短くする。そして、メモリアクセス要求が先に来ている間にリフレッシュ要求が来た場合には、リフレッシュ要求に対する動作をリードまたはライト動作の終了まで待ってから実行する。逆にリフレッシュ最中にメモリアクセス要求が来た場合には、リフレッシュ終了後にメモリアクセス動作を行なう。したがって、D R A M コアの外から見ると、低速 S R A M と同様な簡易な制御で動作可能なインターフェイスを提供することができる。

【 0 1 3 3 】

〔実施の形態 2〕

図 1 6 は、実施の形態 2 において行選択系回路／コマンド発生系回路 1 6 に代えて用いられる行選択系回路／コマンド発生系回路 2 1 6 の構成を示すブロック図である。

【 0 1 3 4 】

図 1 6 を参照して、行選択系回路／コマンド発生系回路 2 1 6 は、コマンド発生回路 2 4 0 と行選択制御回路 2 4 1 とを含む。

【 0 1 3 5 】

コマンド発生回路 2 4 0 は、図 6 に示したコマンド発生回路 4 0 の構成においてコマンド入力バッファ／ラッチ回路 4 4 に代えてコマンド入力バッファ／ラッチ回路 2 4 4 を含み、さらに、遅延回路 2 5 1 を含む点がコマンド発生回路 4 0 と異なっている。他の構成はコマンド発生回路 4 0 と同様であり説明は繰返さない。遅延回路 2 5 1 は、リフレッシュサイクルの 1 サイクル分に相当する遅延時間だけ入力信号を遅延してロウアクティブ遅延信号 A C T D を出力する 1 サイクル遅延回路 2 5 4 と、ロウアクティブコマンド信号 A C T によってセットされ、

ロウアクティブ遅延信号ACTDによってリセットされ遅延期間表示信号ACT__ACTDを出力するラッチ回路252を含む。

【0136】

コマンド入力バッファ／ラッチ回路244は、リフレッシュ活性化信号REF__RASの状態にかかわらずロウアクティブコマンド信号ACT0を内部コマンド発生回路に伝達する点が異なっている。

【0137】

行選択制御回路241は、図6における行選択制御回路41の構成において、リフレッシュコントロール回路50に代えてリフレッシュコントロール回路250を含む点が行選択制御回路41と異なっている。他の構成は行選択制御回路41と同様であり説明は繰返さない。

【0138】

図17は、図16のリフレッシュコントロール回路250の構成を示す回路図である。

【0139】

図17を参照して、リフレッシュコントロール回路250は、リフレッシュ活性化信号REF__RASを受けて反転するインバータ262と、リフレッシュ要求信号FAYに応じてセットされインバータ262の出力に応じてリセットされるラッチ回路264と、ラッチ回路264の反転出力/Q、遅延期間表示信号ACT__ACTDおよびノーマル動作信号ACT__RASを受けるOR回路266と、OR回路266の出力を受けてパルスを発生するパルス発生回路268とを含む。パルス発生回路268は内部リフレッシュコマンド信号REFを出力する。

【0140】

図18は、図16における1サイクル遅延回路254の構成を示す回路図である。

【0141】

図18を参照して、1サイクル遅延回路254は、ロウアクティブコマンド信号ACTを受けて所定時間遅延させる直列に接続された遅延部254#1～25

4 # n を含む。遅延部 2 5 4 # n は、ロウアクティブ遅延信号 A C T D を出力する。

【 0 1 4 2 】

遅延部 2 5 4 # 1 は、ロウアクティブコマンド信号 A C T を受けて反転するインバータ 2 7 2 と、インバータ 2 7 2 の出力ノードと電源ノードとの間に結合されるキャパシタ 2 7 4 と、インバータ 2 7 2 の出力ノードと接地ノードとの間に結合されるキャパシタ 2 7 6 と、インバータ 2 7 2 の出力を受けて反転して出力するインバータ 2 7 8 とを含む。遅延部 2 5 4 # 2 ～ 2 5 4 # n は遅延部 2 5 4 # 1 と同様な構成を有するため説明は繰返さない。

【 0 1 4 3 】

遅延部 2 5 4 # 1 ～ 2 5 4 # n の直列に接続される個数は、リードコマンドあるいはライトコマンドが入ったときにフレッシュ活性化期間に相当する第 1 のサイクル時間分だけ遅延させるように調整され、1 サイクル遅延回路 2 5 4 は、ロウアクティブ遅延信号 A C T D を発生する。

【 0 1 4 4 】

図 1 9 は、実施の形態 2 におけるロウ系信号の説明をするための動作波形図である。

【 0 1 4 5 】

図 1 6、図 1 9 を参照して、時刻 t_1 においてリフレッシュ要求信号がリードサイクルあるいはライトサイクルに入る前に発行された場合、リフレッシュ要求信号 F A Y に応じて内部リフレッシュコマンド信号 R E F が活性化され、さらにリフレッシュ活性化信号 R E F _ R A S が活性化される。

【 0 1 4 6 】

時刻 t_2 、 t_3 において、それぞれ外部アドレス信号 $e x A D R$ および外部リードコマンド信号 $e x R E A D n$ が入力される。入力された外部リードコマンド信号 $e x R E A D n$ に応じて発生されたロウアクティブコマンド信号 A C T は、チップ内部がリフレッシュ動作中であるなしにかかわらず、1 サイクル遅延回路 2 5 4 によって第 1 のサイクル時間分だけ遅延されてロウアクティブ遅延信号 A C T D としてロウ系タイミング制御回路 4 8 に伝達される。遅延期間である間は

ラッチ回路 2 5 2 によって遅延期間表示信号 ACT_ACTD が活性化されている。したがって、この遅延されている期間の間にリフレッシュ要求信号 FAY に応じたりフレッシュサイクルを終了させることができる。

【 0 1 4 7 】

時刻 t_4 において 1 サイクル時間分遅延されたロウアクティブ遅延信号 $ACTD$ が活性化されるとロウ系タイミング制御回路 4 8 がノーマル動作信号 ACT_RAS を活性化しさらにワード線駆動マスタ信号 RXT に応じてその後内部リードコマンド信号 $intREAD$ および内部プリチャージコマンド信号 PRE が所定のタイミングで順次活性化される。そして、時刻 t_5 においてメモリアレイからデータが読出され、その後データ信号 DQ として有効なデータが出力される。

【 0 1 4 8 】

図 2 0 は、実施の形態 2 におけるロウ系信号の説明をするための第 2 の動作波形図である。

【 0 1 4 9 】

図 1 6、図 2 0 を参照して、遅延期間表示信号 ACT_ACTD またはノーマル動作信号 ACT_RAS が活性化されている場合にリフレッシュ要求信号 FAY が入力された場合について述べる。

【 0 1 5 0 】

時刻 t_1 において外部アドレス信号 $exADR$ が入力され、時刻 t_2 において外部リードコマンド信号 $exREADn$ が入力されると、図 1 9 で示した場合と同様にロウアクティブコマンド信号 ACT が所定の時間だけ遅延されたロウアクティブ遅延信号 $ACTD$ が発生され応じてノーマル動作信号 ACT_RAS が活性化されて時刻 $t_4 \sim t_6$ の間に読出動作が行なわれる。

【 0 1 5 1 】

そして、時刻 t_6 においてノーマル動作信号 ACT_RAS が立下がるとリフレッシュコントロール回路 2 5 0 は、内部リフレッシュコマンド信号 REF を活性化させてリフレッシュ動作に入る。

【 0 1 5 2 】

以上説明したように、実施の形態 2 においてはリフレッシュ動作中に読出コマ

ンドあるいは書込コマンドが入力された場合でも、内部のメモリアレイで読出動作または書込動作が行なわれるのは常に所定のリフレッシュ時間後であるため、リフレッシュ動作が終了してから読出または書込動作が行なわれることになる。

【0153】

一方、リフレッシュが行なわれていないときに読出または書込コマンドが入力された場合には、リフレッシュ要求信号FAYが入力されても読出書込のノーマル動作が終了してからリフレッシュ動作が実行される。したがって、複雑なリフレッシュのコントロール信号を与える必要がなくSRAMと同様なインターフェイスでDRAMコアを使用することができる。

【0154】

【実施の形態3】

図21は、実施の形態3において用いられるDRAMコアMCRAの構成を示したブロック図である。

【0155】

図21を参照して、DRAMコアMCRAは、2バンク構成のDRAMコアであり、メモリアレイMBに代えてメモリアレイMBAおよびMBBを含み、行選択系回路／コマンド発生系回路16に代えて行選択系回路／コマンド発生系回路316を含む点が図2に示したDRAMコアMCRと異なる。他の部分はDRAMコアMCRと同様であり説明は繰返さない。

【0156】

行選択系回路／コマンド発生系回路316からは、ロウ系制御タイミング信号およびロウブリデコード信号が、各バンクごとに別の信号バスで伝達される。

【0157】

図22は、図21における行選択系回路／コマンド発生系回路316の構成を示したブロック図である。

【0158】

図22を参照して、行選択系回路／コマンド発生系回路316は、コマンド発生回路340と行選択制御回路341とを含む。

【0159】

コマンド発生回路 3 4 0 は、図 6 に示したコマンド発生回路 4 0 の構成においてコマンド入力バッファ／ラッチ回路 4 4 に代えてコマンド入力バッファ／ラッチ回路 3 4 4 を含み、内部コマンド発生回路 4 6 に代えて内部コマンド発生回路 4 4 6 を含む点がコマンド発生回路 4 0 と異なっている。他の構成はコマンド発生回路 4 0 と同様であり説明は繰返さない。

【0 1 6 0】

コマンド入力バッファ／ラッチ回路 3 4 4 は、コマンド信号 $exREADn$ 、 $exWRITEn$ が入力されたとき、リフレッシュ活性化信号 REF_RAS および最上位外部ロウアドレス $RA_latch<11>$ の状態に応じてロウアクティブコマンド信号 $ACT0$ を内部コマンド発生回路に伝達する点が異なっている。内部コマンド発生回路 3 4 6 は、ワード線駆動マスタ信号 $RXT<1:0>$ の状態に応じて内部コマンド信号 $ACT<1:0>$ 、 $PRE<1:0>$ を活性化するように構成される点が異なっている。

【0 1 6 1】

行選択制御回路 3 4 1 は、図 6 における行選択制御回路 4 1 の構成において、リフレッシュコントロール回路 5 0 に代えてリフレッシュコントロール回路 3 5 0 を含み、ロウ系タイミング制御回路 4 8 に代えてロウ系タイミング制御回路 3 4 8 を含み、ロウ系リフレッシュタイミング制御回路 5 8 に代えてロウ系リフレッシュタイミング制御回路 3 5 8 を含む点が行選択制御回路 4 1 と異なっている。他の構成は行選択制御回路 4 1 と同様であり説明は繰返さない。

【0 1 6 2】

図 2 2 では、2 バンクの構成の例においてバンクアドレスは最上位のロウアドレス $RA<11>$ に割付けられており、またたとえば、ロウ系制御タイミング信号は、バンク別に、ロウアクティブコマンド信号 $ACT<1:0>$ 、ワード線駆動マスタ信号 $RXT<1:0>$ 、センスアンプ活性化信号 $SO<1:0>$ 、内部プリチャージコマンド信号 $PRE<1:0>$ のようにバンクに対応してそれぞれ与えられる。

【0 1 6 3】

リフレッシュコントロール回路 3 5 0 は、各バンクのノーマル動作信号 ACT

—RASおよび、アドレスQA<11>に応じて内部リフレッシュコマンド信号REFを発生する。また、ロウ系タイミング制御回路348、ロウ系リフレッシュタイミング制御回路358は、各バンクに対応するロウ系制御タイミング信号を出力する。

【0164】

実施の形態3においては、リードやライトサイクルの通常動作を行なおうとするバンクとリフレッシュ中もしくはリフレッシュしようとするバンクとが同一バンクであった場合には、実施の形態1や実施の形態2で説明したように、DRAMコアは、通常動作またはリフレッシュ動作のいずれか一方を待機させて、その待機させた動作が第2のサイクルで行なわれるように制御を行なう。または、DRAMコアは、第2のサイクルで行なわれる通常動作が終了してからリフレッシュ動作が行なわれるように制御を行なう。

【0165】

一方、通常動作でアクセスしようとするバンクとリフレッシュ中であったりこれからリフレッシュしようとするバンクとが別のバンクであった場合には、通常動作とリフレッシュ動作とを並行して第1のサイクルで行なうように制御することで実行的なリードやライトサイクル時間を短くすることができる。

【0166】

図22に示す構成例においては、外部リードコマンド信号exREADnまたは外部ライトコマンド信号exWRITEnが入力された場合に、第1のバンクや第2のバンクがリフレッシュ中でリフレッシュ活性化信号REF_RAS信号が活性化されており、かつ、リフレッシュカウンタの最上位のアドレスQA<11>とバンクアドレスとなる最上位の外部ロウアドレスRA_latch<11>とが一致しておれば、実施の形態1の場合と同様にリフレッシュ動作が終わりリフレッシュ活性化信号REF_RASが非活性化状態になるまで待ってから第2のサイクルが生成される。第2のサイクルでは、外部ロウアドレスRA_latch<11>に従ってロウアクティブコマンド信号ACT<1>またはACT<0>を活性化してロウアクティブ動作に入り、リードやライト動作が行なわれる。

【0167】

最上位アドレスQA<11>と外部ロウアドレスRA_latch<11>が一致していなければ、そのまま、ロウアクティブコマンド信号ACT<1>またはACT<0>を活性化してロウアクティブ動作に入り、リードやライト動作を行なわれる。

【0168】

一方、リフレッシュ要求信号FAYが入力されてきた場合において第1のバンクあるいは第2のバンクがロウアクティブ中の場合、すなわち、ノーマル動作信号ACT_RAS<0>またはACT_RAS<1>が活性化されていた場合には、最上位アドレスQA<11>で指定されるリフレッシュを行なおうとするバンクと通常動作でアクセスを行なおうとするバンクとが一致すると、実施の形態1の場合と同様にノーマル動作信号ACT_RAS<0>あるいはACT_RAS<1>が非活性化されるまで待ってから第2のサイクルを生成しリフレッシュ動作に入る。バンクが一致しない場合にはそのままリフレッシュ動作に入る。

【0169】

図23は、2バンク構成にした場合の行選択系回路／コマンド発生系回路の他の例を示したブロック図である。

【0170】

図23に示す構成例においては、外部リードコマンド信号exREADnあるいは外部ライトコマンド信号exWRITEnが入力されたときには、実施の形態2の場合と同様に、遅延回路451内部の1サイクル遅延回路454の遅延時間によって、常に第1のサイクル時間分だけ遅延された第2のサイクルからロウアクティブ動作に入る。

【0171】

一方、リフレッシュ要求信号FAYが入力されてきたときに最上位アドレスQA<11>で指定されるリフレッシュを行なおうとするバンクと遅延期間表示信号ACT_ACTD<1:0>およびノーマル動作信号ACT_RAS<1:0>から認識されるリードやライトの通常動作を行なおうとするもしくは通常動作中のバンクとが一致する場合には、実施の形態2の場合と同様なりフレッシュ動

作開始タイミングの制御を行なう。

【0172】

一方、リフレッシュを行なおうとするバンクとノーマル動作を行なおうとするバンクとが一致していなければそのままリフレッシュ動作に入る。

【0173】

したがって、バンク構成を有する場合にも、SRAMと同様なインタフェースで動作させることが可能なDRAMコアを実現することができる。

【0174】

以上、リフレッシュ動作と通常アクセス動作とが競合した場合の説明をしたが、これを実現する回路構成において、各バンクのロウローカル制御ブロックに、ロウプリデコード信号 $X<19:0>$ を保持するラッチ回路を備えてもよい。

【0175】

この際には、ロウアドレスイネーブル信号RADEと内部リフレッシュコマンド信号REFは同時に活性化されないように両者の活性化されるタイミングを適当な時間以上ずらすように制御する。このように制御すれば、リードあるいはライト動作でのロウプリデコード信号 $X<19:0>$ とリフレッシュ動作でのロウプリデコード信号 $X<19:0>$ が衝突することなく本実施の形態での動作が実現できる。

【0176】

したがって、この場合には、ブロック選択信号 $BS<7:0>$ で選択されたロウローカル制御ブロックにロウプリデコード信号 $X<19:0>$ を取込んだ後は、ロウローカル制御ブロックにロウプリデコード信号 $X<19:0>$ を伝達する信号線バスを開放できる。ロウプリデコード信号のバスをバンク間で共有することができるため、チップ面積を小さくすることができる。

【0177】

〔実施の形態4〕

実施の形態4の半導体記憶装置では、図6に示した外部コマンド入力バッファ／ラッチ回路44および外部ロウアドレス $RA<11:0>$ を受ける入力バッファ／ラッチ回路52が同期型インターフェイスを有する場合を説明する。

【0178】

図24は、実施の形態4において用いられる同期型インターフェイスを説明するための回路図である。

【0179】

図24を参照して、コマンド入力バッファ／ラッチ回路CBL Cの前段部には、外部ライトコマンド信号exWRITEnをクロック信号CLK, ZCLKに応じて取込むラッチ回路602と、外部リードコマンド信号exREADnをクロック信号CLK, ZCLKに応じて同期して取込むラッチ回路604とが設けられる。たとえば、実施の形態1の半導体記憶装置を同期化させる場合には、図6で示したコマンド入力バッファ／ラッチ回路44が図24のコマンド入力バッファ／ラッチ回路CBL Cに対応する。

【0180】

ラッチ回路602は内部リードコマンド信号intWRITEnをコマンド入力バッファ／ラッチ回路CBL Cに対して出力し、ラッチ回路604は、内部リードコマンド信号intREADnをコマンド入力バッファ／ラッチ回路CBL Cに向かって出力する。

【0181】

ラッチ回路602は、クロック信号CLKおよびZCLKに応じて外部ライトコマンド信号exWRITEnを取込み内部に伝達するトランSMissionゲート610と、トランSMissionゲート610によって取込まれた外部ライトコマンド信号exWRITEnを受ける直列に接続されたインバータ612、614と、トランSMissionゲート610と相補的に導通しインバータ614の出力をインバータ612の入力に帰還させるためのトランSMissionゲート622と、インバータ614の出力を受けクロック信号CLKおよびZCLKに応じて導通し伝達するためのトランSMissionゲート616と、トランSMissionゲート616によって伝達されたデータを受ける直列に接続されたインバータ618、620と、トランSMissionゲート616と相補的に導通しインバータ620の出力をインバータ618の入力に帰還させるトランSMissionゲート624とを含む。

【0 1 8 2】

インバータ 6 2 0 の出力はラッチ回路 6 0 2 の出力であり、これは内部ライトコマンド信号 $intWRITE_n$ となる。

【0 1 8 3】

ラッチ回路 6 0 4 はラッチ回路 6 0 2 と同様な構成を有しており説明は繰返さない。

【0 1 8 4】

図 2 5 は、実施の形態 4 において外部ロウアドレスをクロック信号に入力するための入力バッファ／ラッチ回路 5 5 2 の構成を示すブロック図である。

【0 1 8 5】

図 2 5 を参照して、入力バッファ／ラッチ回路 5 5 2 は、外部ロウアドレス信号 $RA<11:0>$ をクロック信号 CLK および $ZCLK$ に応じて同期化して取込むラッチ回路 6 3 2 と、ラッチ回路 6 3 2 の出力を信号 $bufRW$ およびロウアドレスイネーブル信号 RAD_E に応じて取込み内部ロウアドレス信号 $inRA<11:0>$ を出力するラッチ回路 6 3 4 とを含む。

【0 1 8 6】

図 2 5 に示した入力バッファ／ラッチ回路 5 5 2 は、図 6 における入力バッファ／ラッチ回路 5 2 に代えて用いられ、ラッチ回路 6 3 4 の構成は図 6 における入力バッファ／ラッチ回路 5 2 と同様であり説明は繰返さない。また、ラッチ回路 6 3 2 は、図 2 4 で示したラッチ回路 6 0 2 と同様な構成を有するため説明は繰返さない。

【0 1 8 7】

以上説明したように、実施の形態 4 においては、実施の形態 1 で説明した半導体記憶装置の外部リードコマンド信号 $exREAD_n$ および外部ライトコマンド信号 $exWRITE_n$ と、さらに外部ロウアドレス信号 $RA<11:0>$ をクロック信号に同期化して取込むインターフェイスを付加したものであり、したがって同期型半導体記憶装置を DRAM コアとして内蔵する場合においても、リフレッシュ制御のための複雑な制御信号を与える必要がない混載用 DRAM コアブロックを実現することができる。

【0 1 8 8】

なお、実施の形態 2、実施の形態 3 において説明した構成も、同様な同期型インターフェイスを付加すれば同期型半導体記憶装置に適用することが可能となる。

【0 1 8 9】

以上説明した実施の形態 1～4 においては、リフレッシュ要求信号 F A Y をそのまま使用するかもしくは遅延させて使用して応じて内部リフレッシュコマンド信号 R E F を発生させる構成を説明したが、たとえば、リードあるいはライトサイクルに入ったときにまず無条件に内部リフレッシュコマンド信号 R E F を活性化するような構成にしてもよい。

【0 1 9 0】

その際に、既にリフレッシュ要求信号 F A Y によるリフレッシュ動作中であった場合には、コマンドに応じて無条件に発生される内部リフレッシュコマンド信号 R E F は無効になる。リードあるいはライトサイクルにおいて無条件に発生される内部リフレッシュコマンド信号 R E F に従ってリフレッシュがされる場合には、実施の形態 1～実施の形態 4 で説明したような制御を行なえばよい。

【0 1 9 1】

〔他の適用例〕

上述の説明においては、混載 D R A M について説明している。しかしながら、本発明は、一般に、D R A M であれば適用が可能である。

【0 1 9 2】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0 1 9 3】

【発明の効果】

請求項 1～3 に記載の半導体記憶装置は、アクセスコマンドが入力され、通常動作が行なわれているときに、リフレッシュ要求信号が発生したときにはメモリ

アレイにおける通常動作の終了を待ってリフレッシュを行なう。したがって、リフレッシュの制御を意識せず簡単な制御信号を与えることで動作可能なDRAMコアを実現できる。

【0194】

請求項4、5に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、リフレッシュ要求信号が発生しメモリアレイでリフレッシュ動作が行なわれている場合に、アクセスコマンドが入力されてきたときにはリフレッシュ動作の終了を待って通常の読出、書込等のアクセスを行なう。したがって、リフレッシュの制御を意識せず簡単な制御信号を与えることで動作可能なDRAMコアを実現できる。

【0195】

請求項6、7に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、アクセスコマンドは、常にリフレッシュサイクル以上遅延されて実行される。したがって、リフレッシュ要求とアクセスコマンドが競合した場合でも、次のサイクルにおいて確実にリフレッシュ動作をすることができる。

【0196】

請求項8に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、コマンド入力がされてからメモリアレイよりデータが出力されるまでの時間が変化する場合でも、データを保持し、出力制御信号でデータ出力のタイミングを調整するので、DRAMコアから外部に出力されるデータのアドレスアクセス時間を一定に保つことができる。

【0197】

請求項9に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、アクセスコマンドに対応する行アドレスとリフレッシュに対応する行アドレスとを適切なタイミングでメモリアレイに伝達することができる。

【0198】

請求項10に記載の半導体記憶装置は、請求項9に記載の半導体記憶装置の奏する効果に加えて、メモリアレイに複数のバンクが含まれている場合には、実効

的な処理速度を上げることができる。

【0199】

請求項11、12に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、同期型半導体記憶装置をDRAMコアとして内蔵することができる。

【図面の簡単な説明】

【図1】 本発明のDRAM内蔵システムLSIの構成を概略的に示す図である。

【図2】 図1におけるDRAMコアMCRの構成を示した概略ブロック図である。

【図3】 図2におけるメモリアレイMBの構成を概略的に示した図である。

【図4】 図3におけるサブメモリアレイSMAとその周辺に配置されるサブワードドライバSWDおよびセンスアンプSAとの接続関係を概略的に示した図である。

【図5】 図4におけるメモリセルMCの構成例を示した回路図である。

【図6】 図2における行選択系回路／コマンド発生系回路16の構成を示すブロック図である。

【図7】 図6に示したコマンド入力バッファ／ラッチ回路44の構成を示す回路図である。

【図8】 図7に示したパルス発生回路78の構成を示す回路図である。

【図9】 図8に示したパルス発生回路78の動作を説明するための動作波形図である。

【図10】 図6におけるリフレッシュコントロール回路50の構成を示す回路図である。

【図11】 図6における入力バッファ／ラッチ回路52の構成を示す回路図である。

【図12】 実施の形態1におけるロウ系回路の動作を説明するための読出時における第1の動作波形図である。

【図 1 3】 ロウ系回路の動作を説明するための読出時の第 2 の動作波形図である。

【図 1 4】 書込時におけるロウ系信号を説明するための第 1 の動作波形図である。

【図 1 5】 書込時におけるロウ系回路の動作を説明するための第 2 の動作波形図である。

【図 1 6】 実施の形態 2 において行選択系回路／コマンド発生系回路 1 6 に代えて用いられる行選択系回路／コマンド発生系回路 2 1 6 の構成を示すブロック図である。

【図 1 7】 図 1 6 のリフレッシュコントロール回路 2 5 0 の構成を示す回路図である。

【図 1 8】 図 1 6 における 1 サイクル遅延回路 2 5 4 の構成を示す回路図である。

【図 1 9】 実施の形態 2 におけるロウ系信号の説明をするための動作波形図である。

【図 2 0】 実施の形態 2 におけるロウ系信号の説明をするための第 2 の動作波形図である。

【図 2 1】 実施の形態 3 において用いられる D R A M コア M C R a の構成を示したブロック図である。

【図 2 2】 図 2 1 における行選択系回路／コマンド発生系回路 3 1 6 の構成を示したブロック図である。

【図 2 3】 2 バンク構成にした場合の行選択系回路／コマンド発生系回路の他の例を示したブロック図である。

【図 2 4】 実施の形態 4 において用いられる同期型インターフェイスを説明するための回路図である。

【図 2 5】 実施の形態 4 において外部ロウアドレスをクロック信号に入力するための入力バッファ／ラッチ回路 5 5 2 の構成を示すブロック図である。

【図 2 6】 従来のシステム L S I に内蔵される D R A M の回路ブロックの構成を概略的に示す図である。

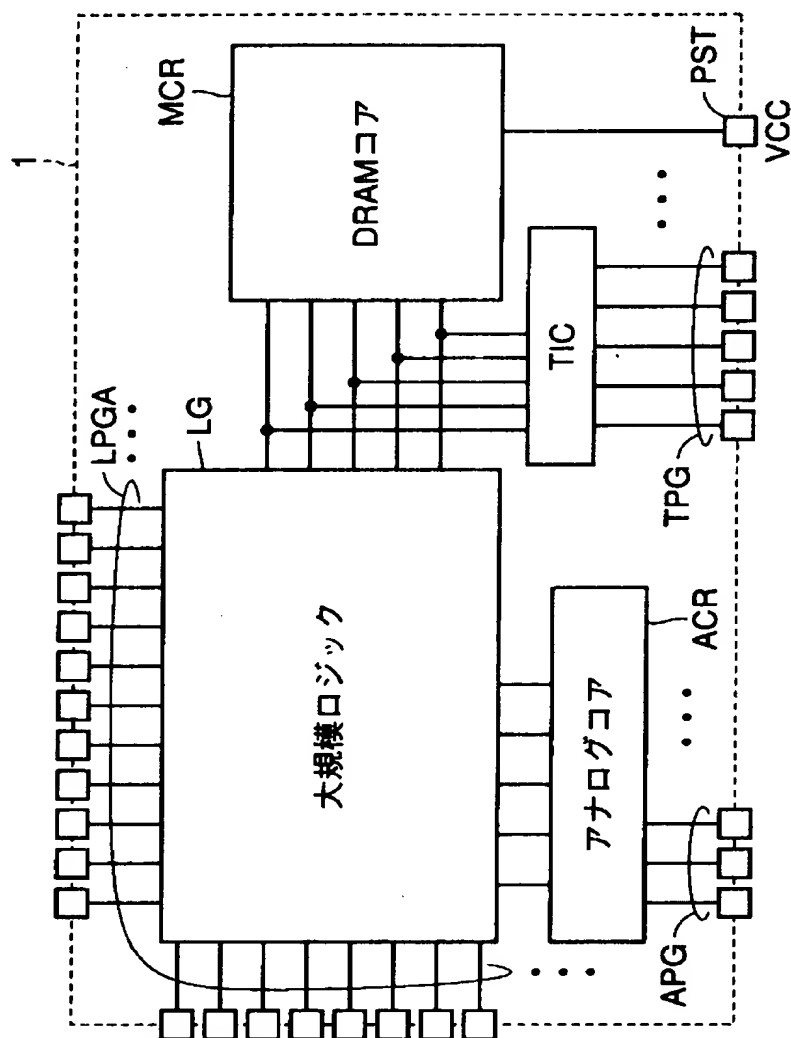
【符号の説明】

14 列選択系回路、16, 216, 316 行選択系回路／コマンド発生系回路、20 データ入出力制御回路、40, 240, 340 コマンド発生回路、41, 241, 341 行選択制御回路、42 AND回路、44, 244, 344 コマンド入力バッファ／ラッチ回路、46, 346, 446 内部コマンド発生回路、48, 348 ロウ系タイミング制御回路、50, 350 リフレッシュコントロール回路、52, 252 入力バッファ／ラッチ回路、54 リフレッシュカウンタ、56 セレクタ、58, 358 ロウ系リフレッシュタイミング制御回路、60 ブロックデコード回路、62 ロウプリデコード回路、74, 84, 124, 264, 552, 602, 604, 632, 634 ラッチ回路、76, 86, 90, 126, 266 OR回路、78, 88, 128, 268 パルス発生回路、112 遅延回路、250 リフレッシュコントロール回路、254 1サイクル遅延回路、MA0～MAm メモリアレイ、MB, MBa メモリアレイ、MC メモリセル、MCR, MC Ra DRAMコア、MWD メインワードドライバ、PHK セルフリフレッシュタイマブロック、RD ロウデコーダ、SB0～SBm+1 センスアンプ帯、SMA サブメモリアレイ、SML サブワード線。

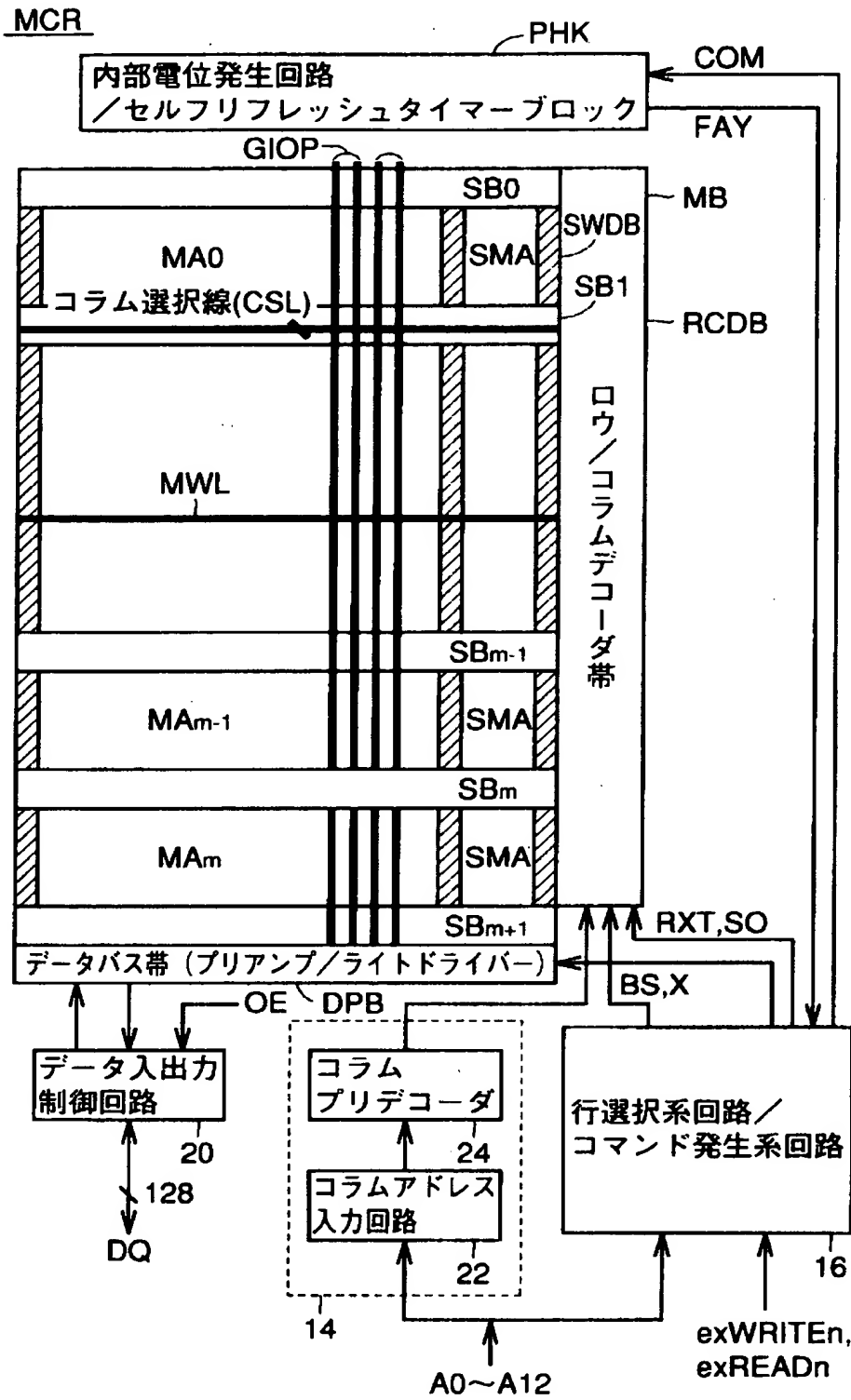
【書類名】

図面

【図 1】

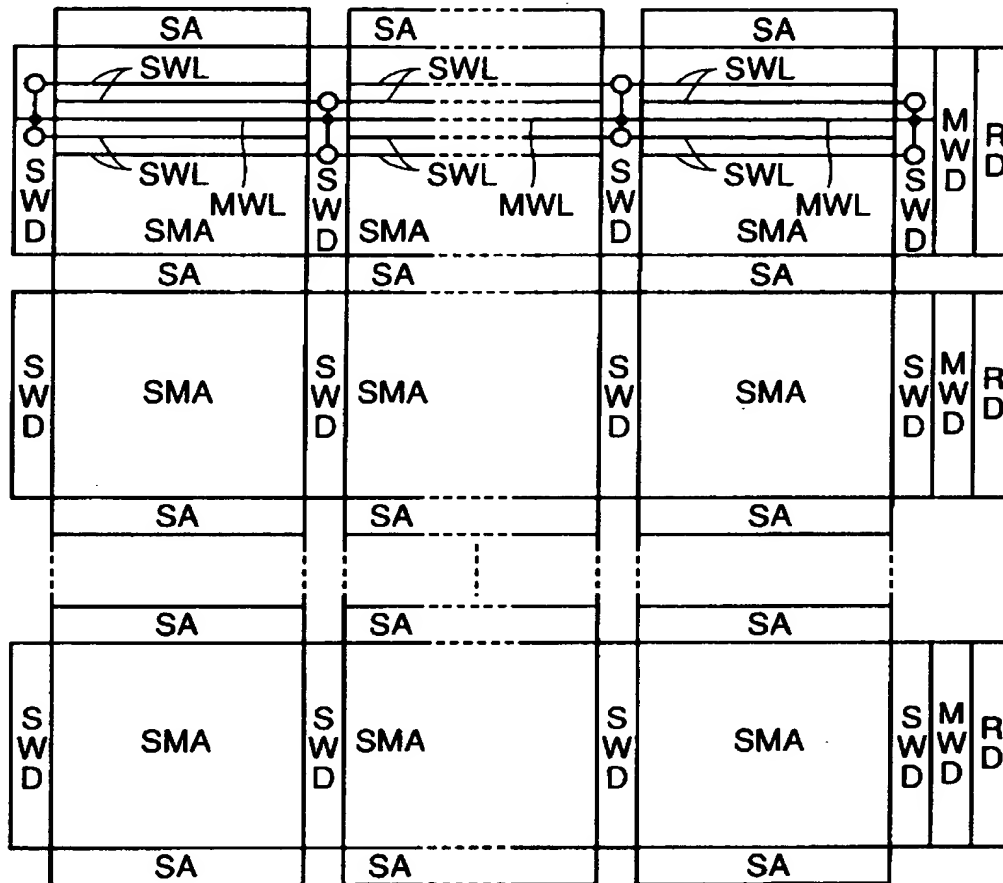


【图 2】

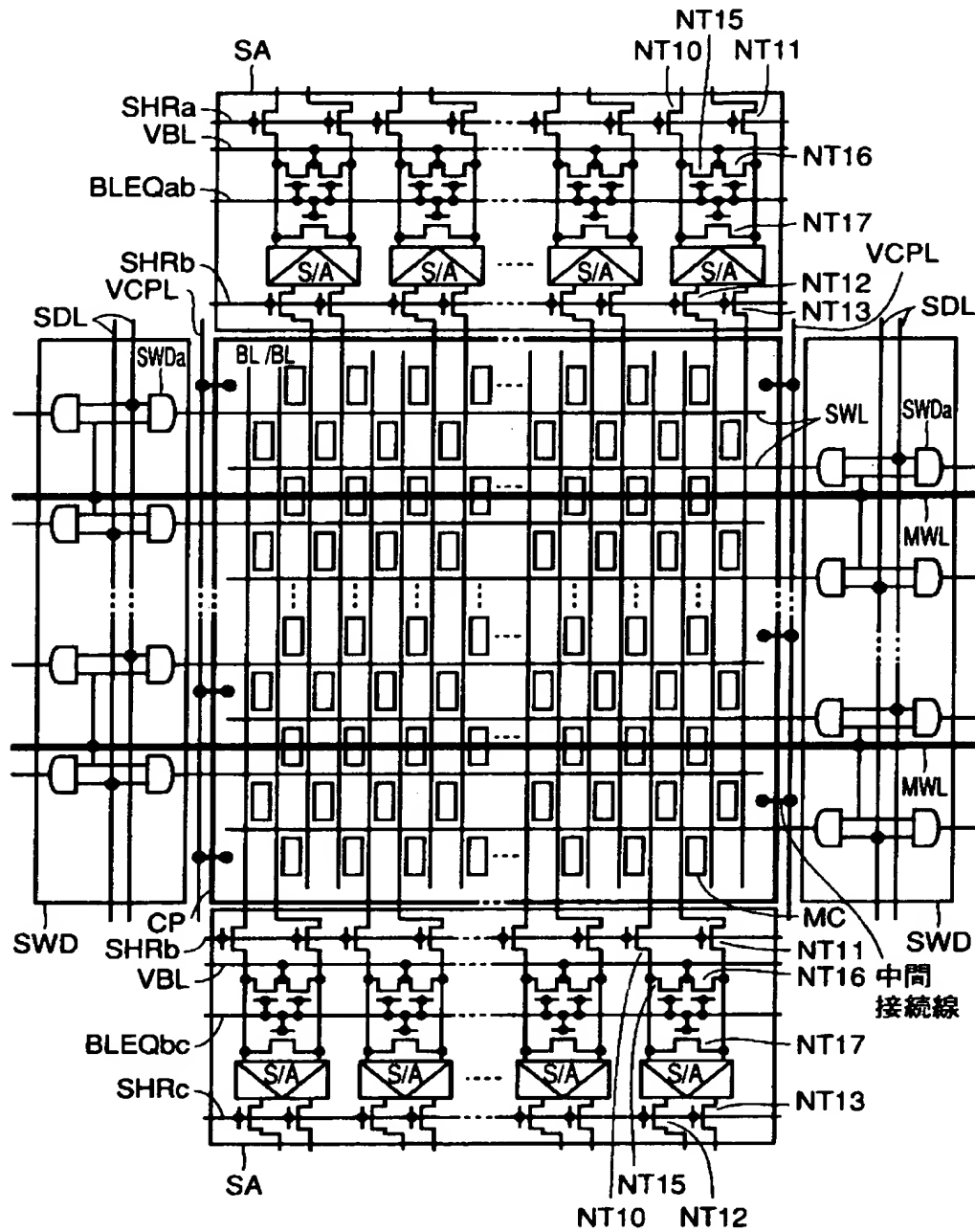


【図 3】

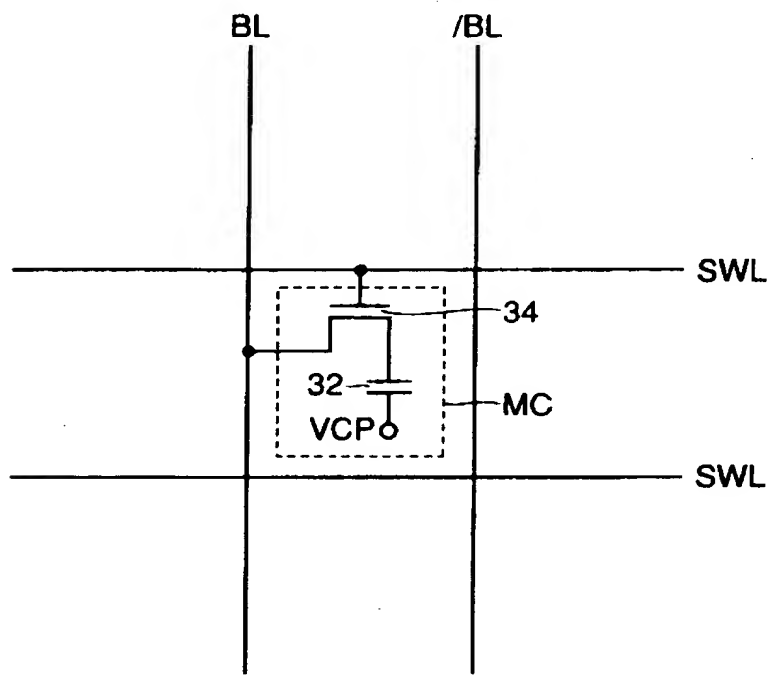
MB



【図4】

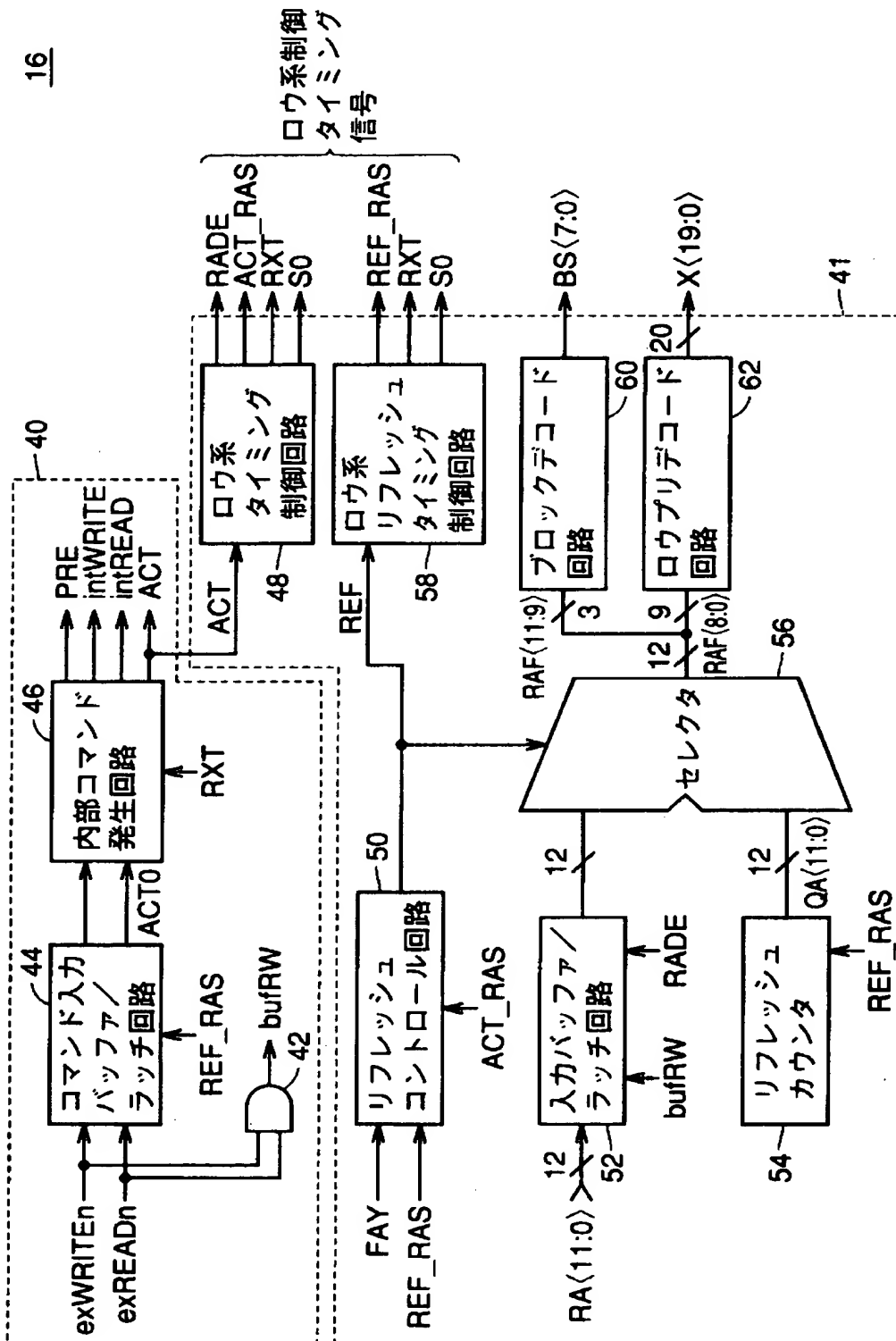


【図 5】



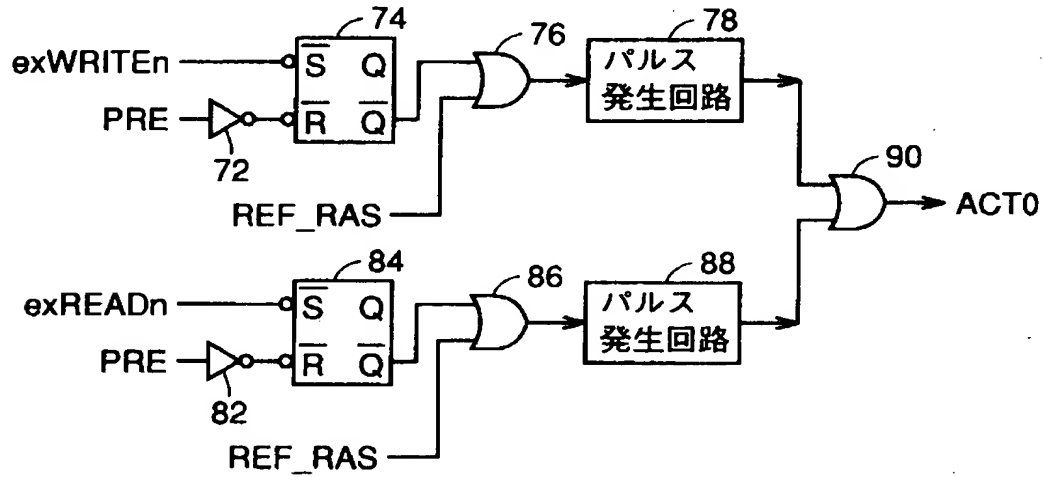
【图 6】

16



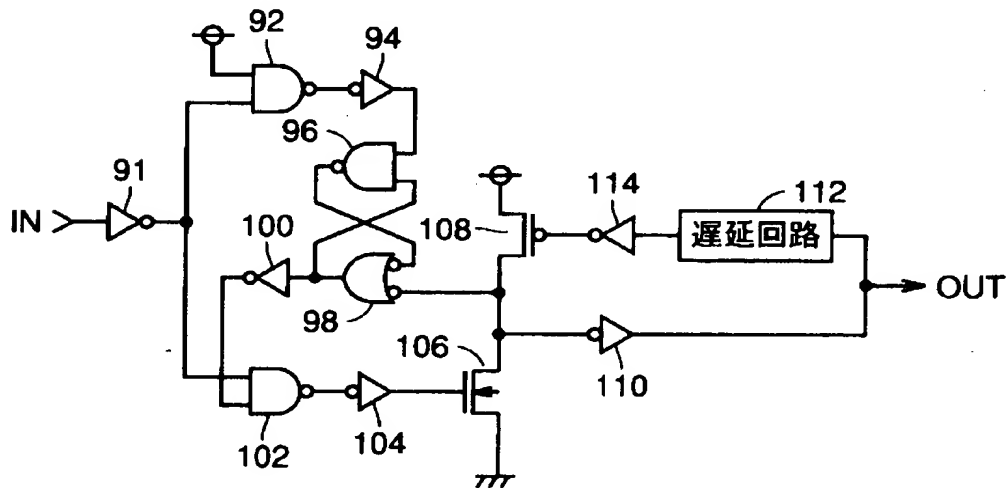
【図 7】

44

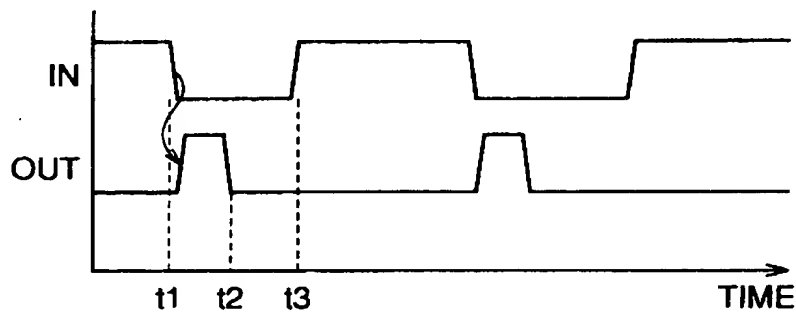


【図 8】

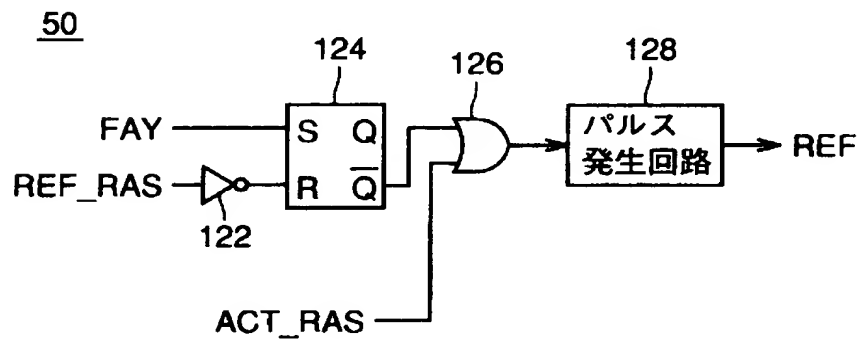
78



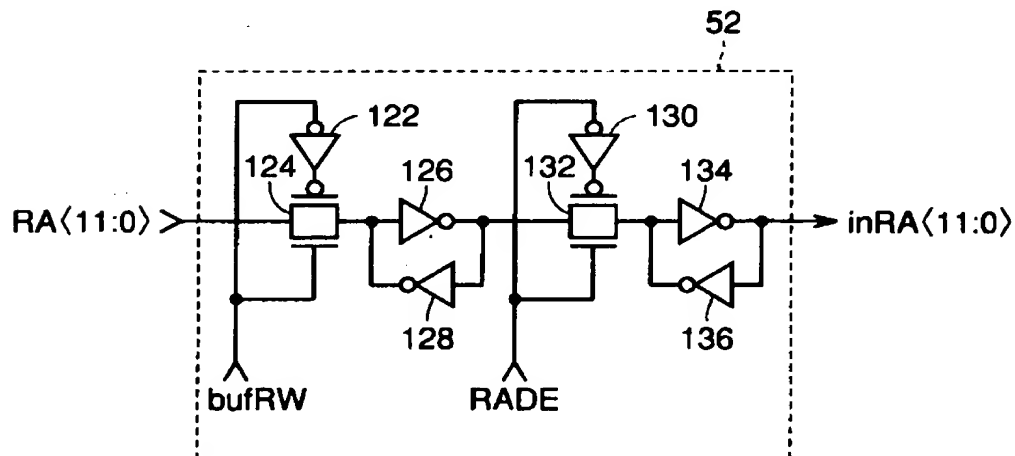
【図 9】



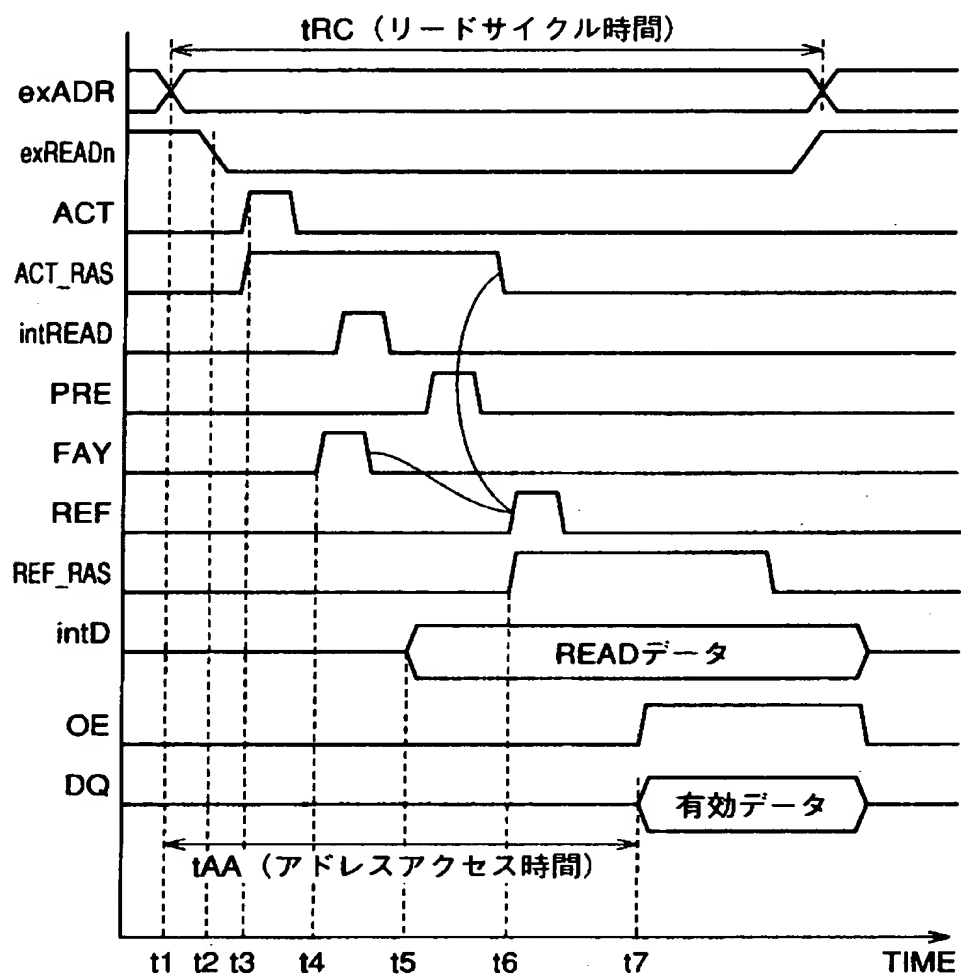
【図 1 0】



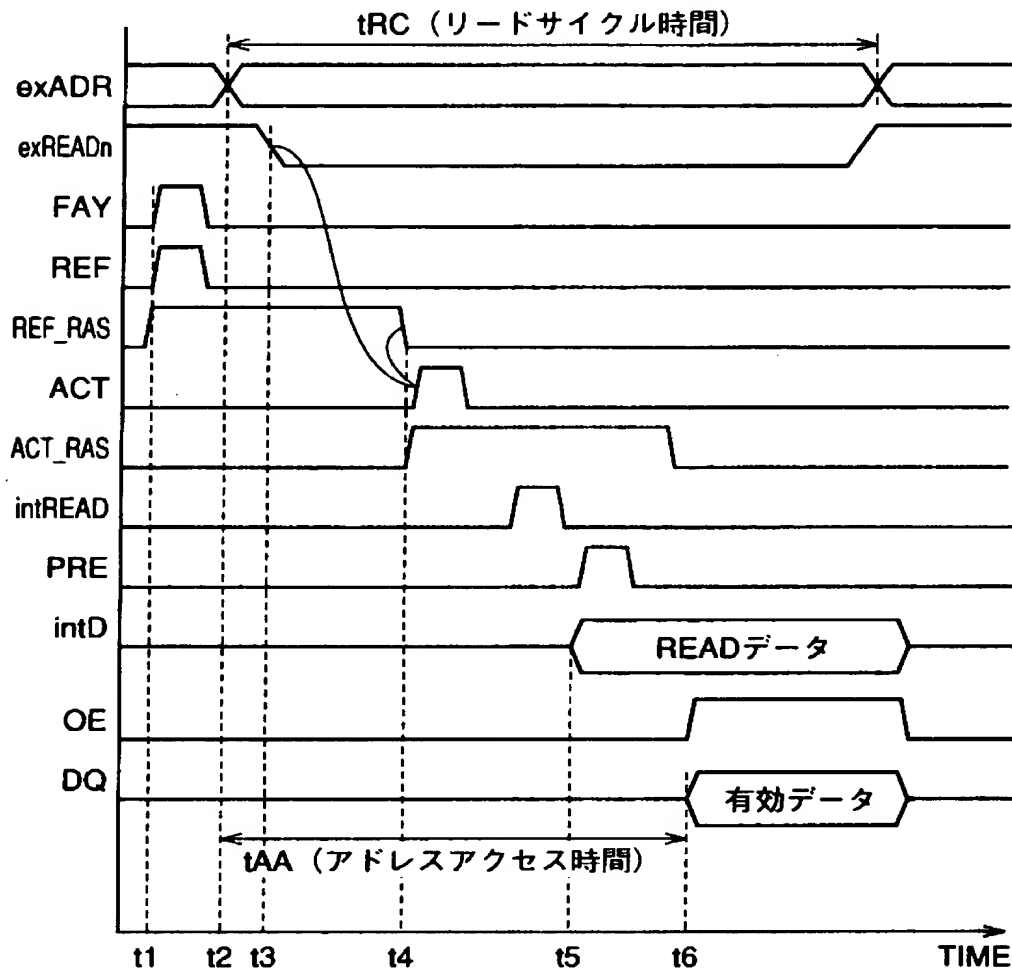
【図 1 1】



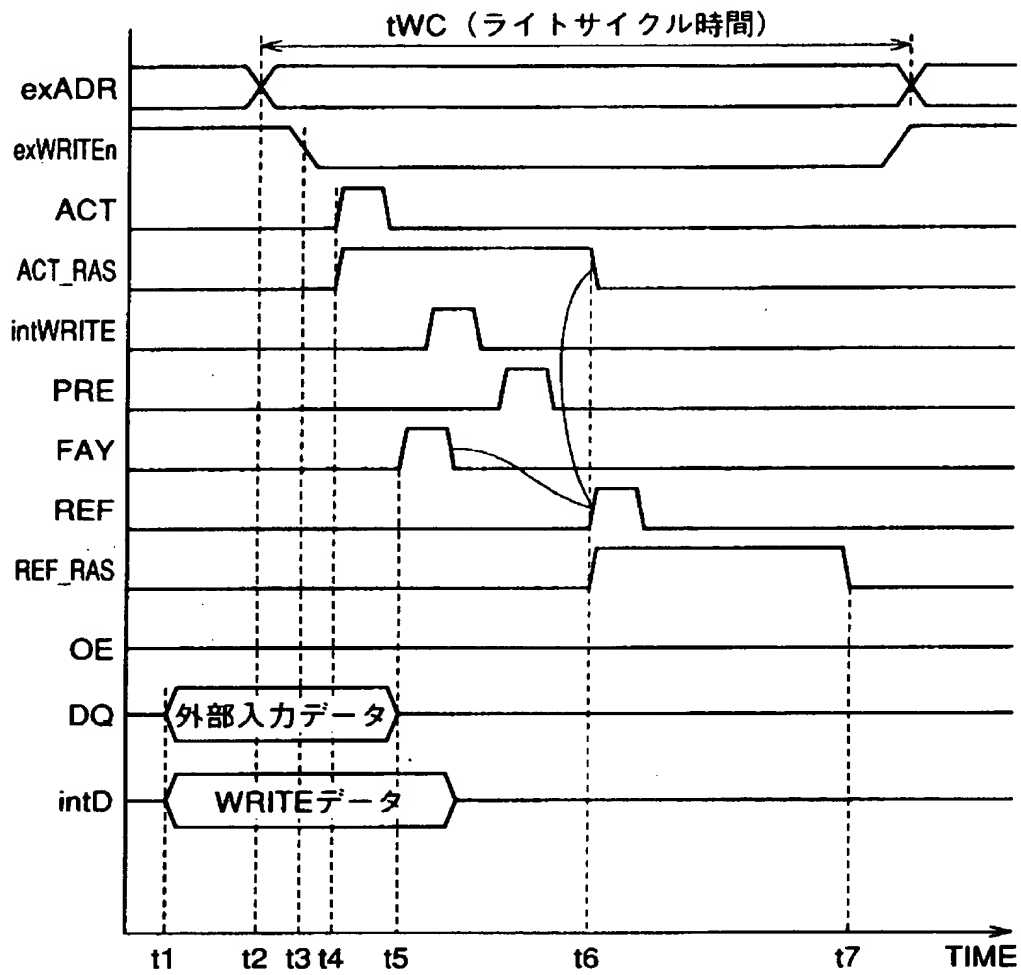
【図 1 2】



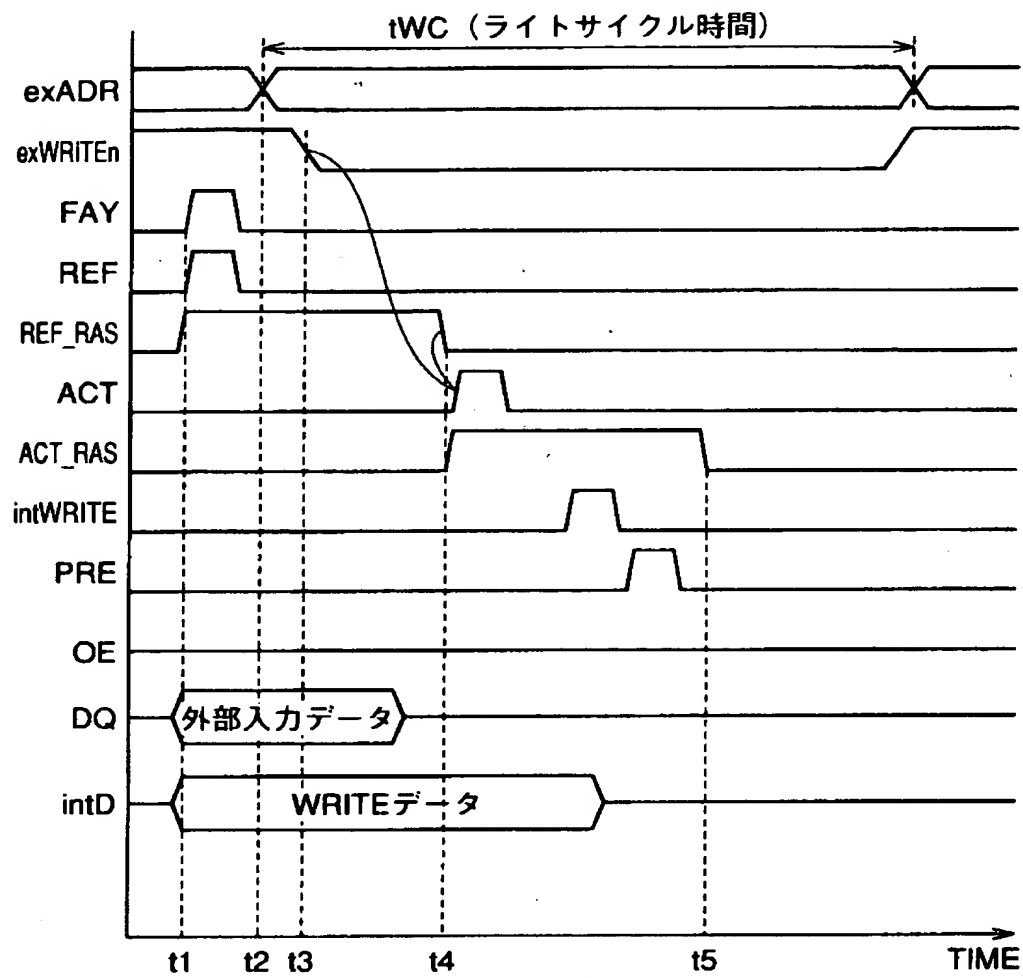
【図 1 3】



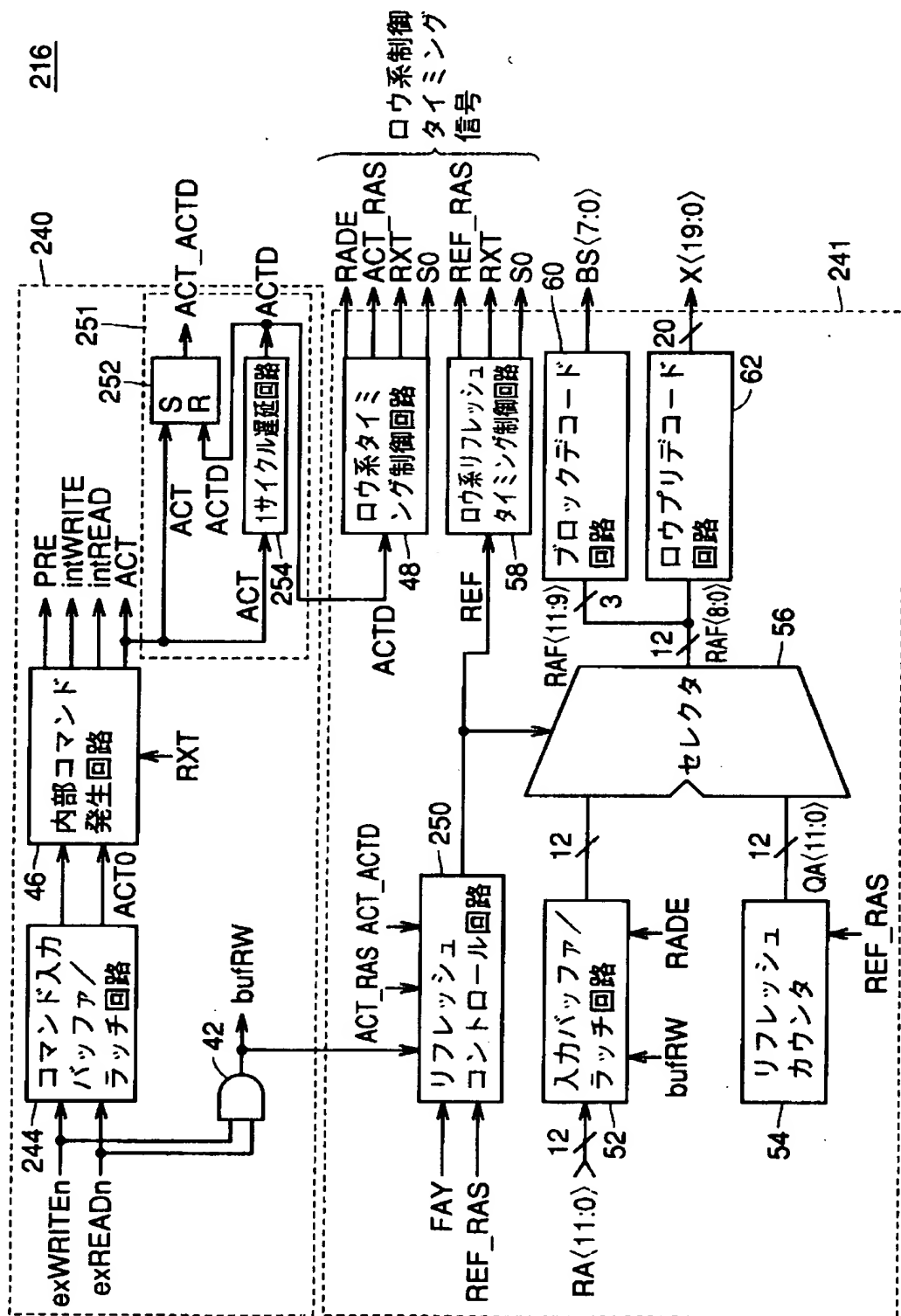
【図 14】



【図 1.5】

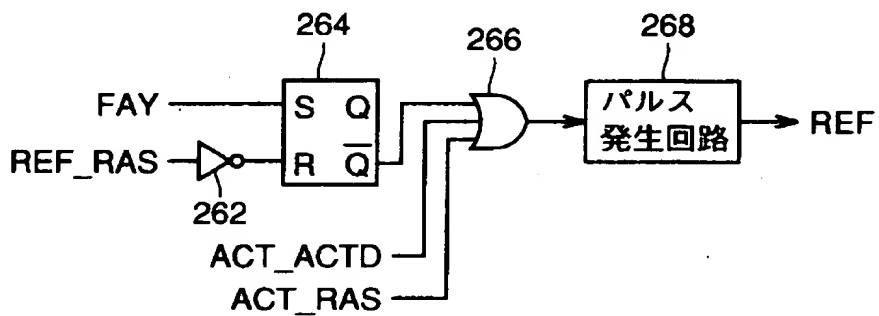


【図16】

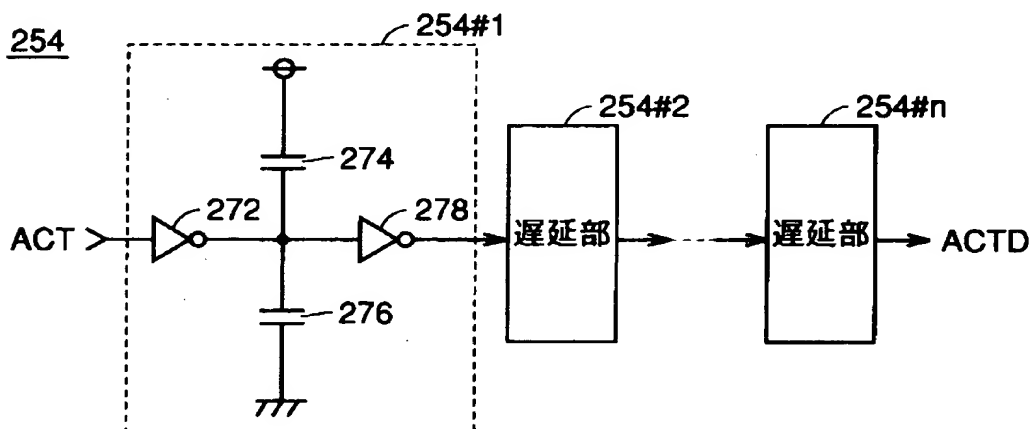


【図 1 7】

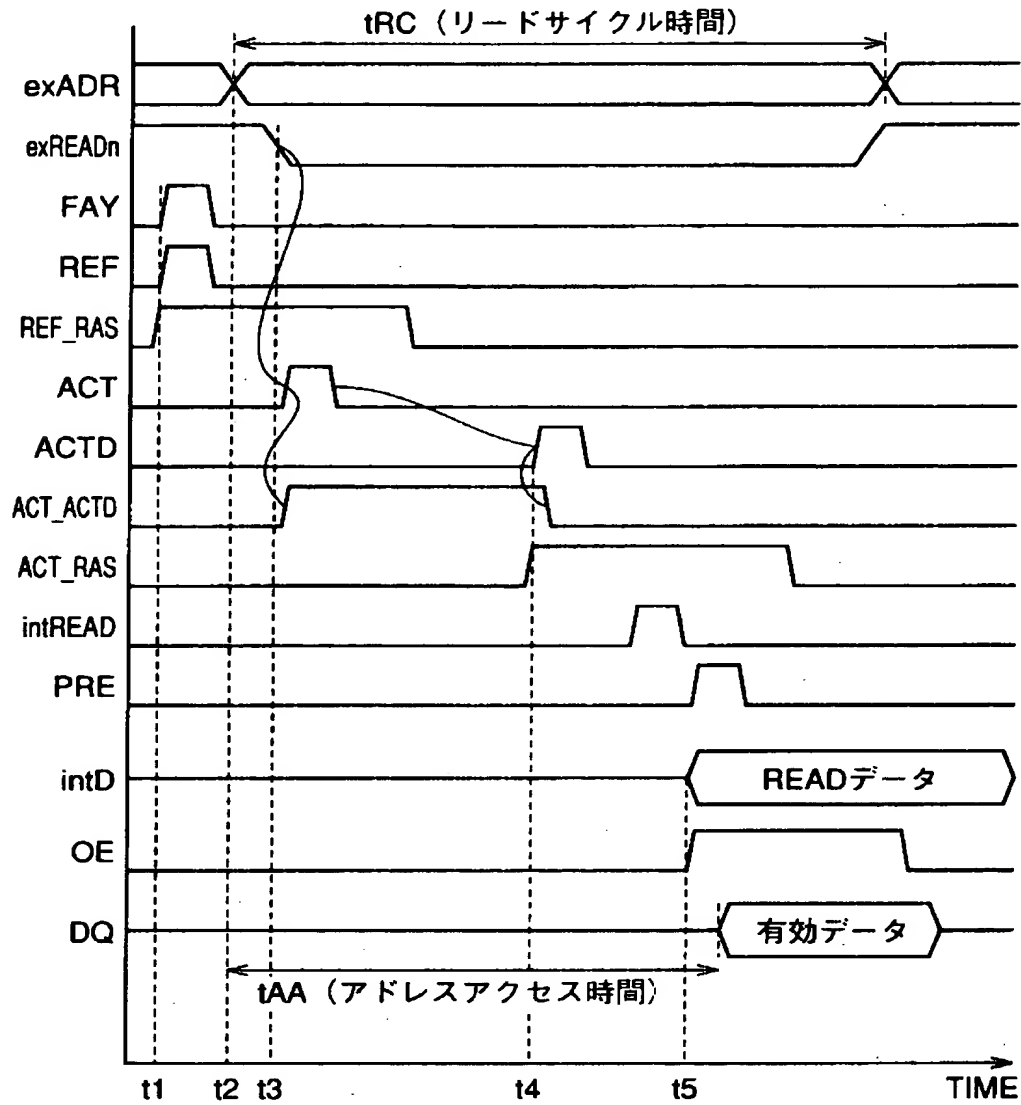
250



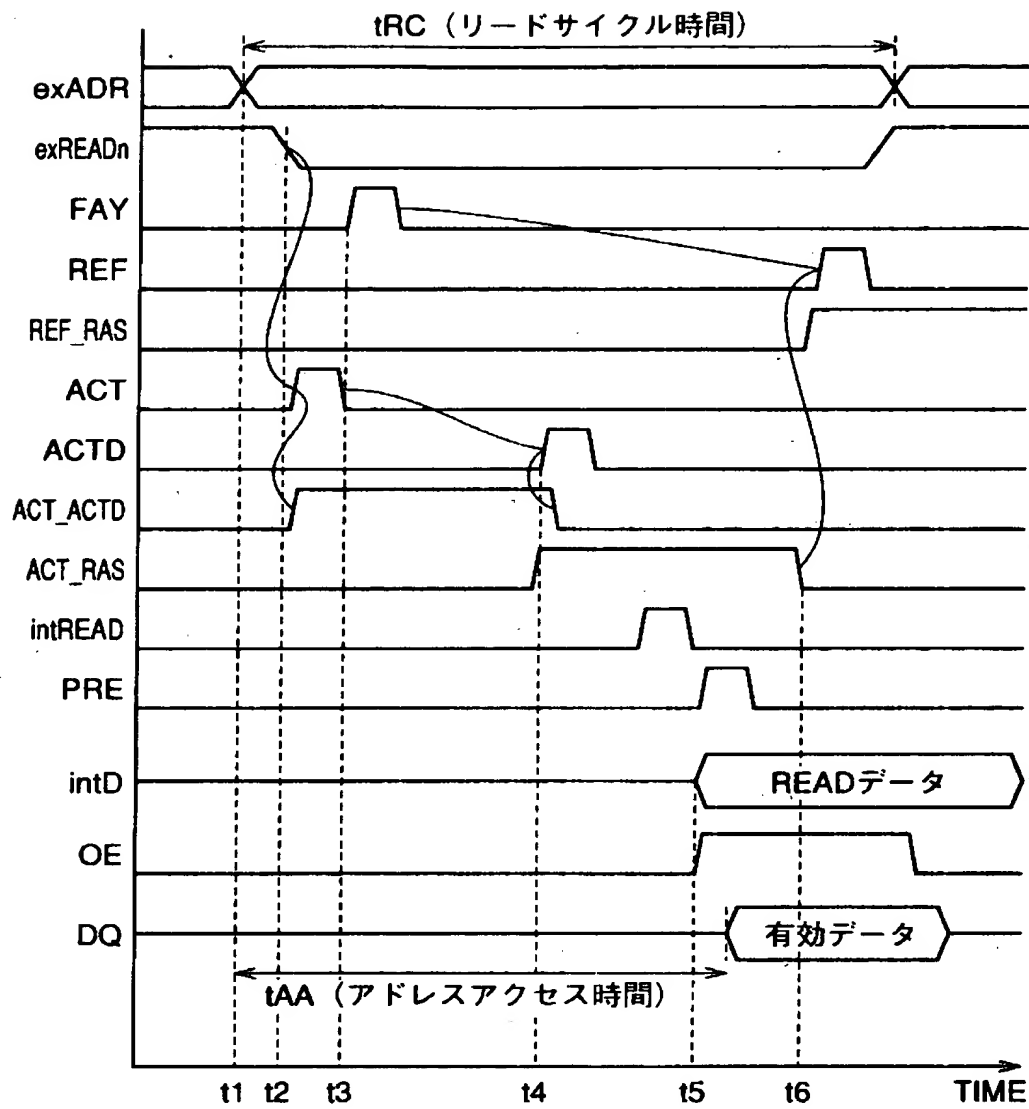
【図 1 8】



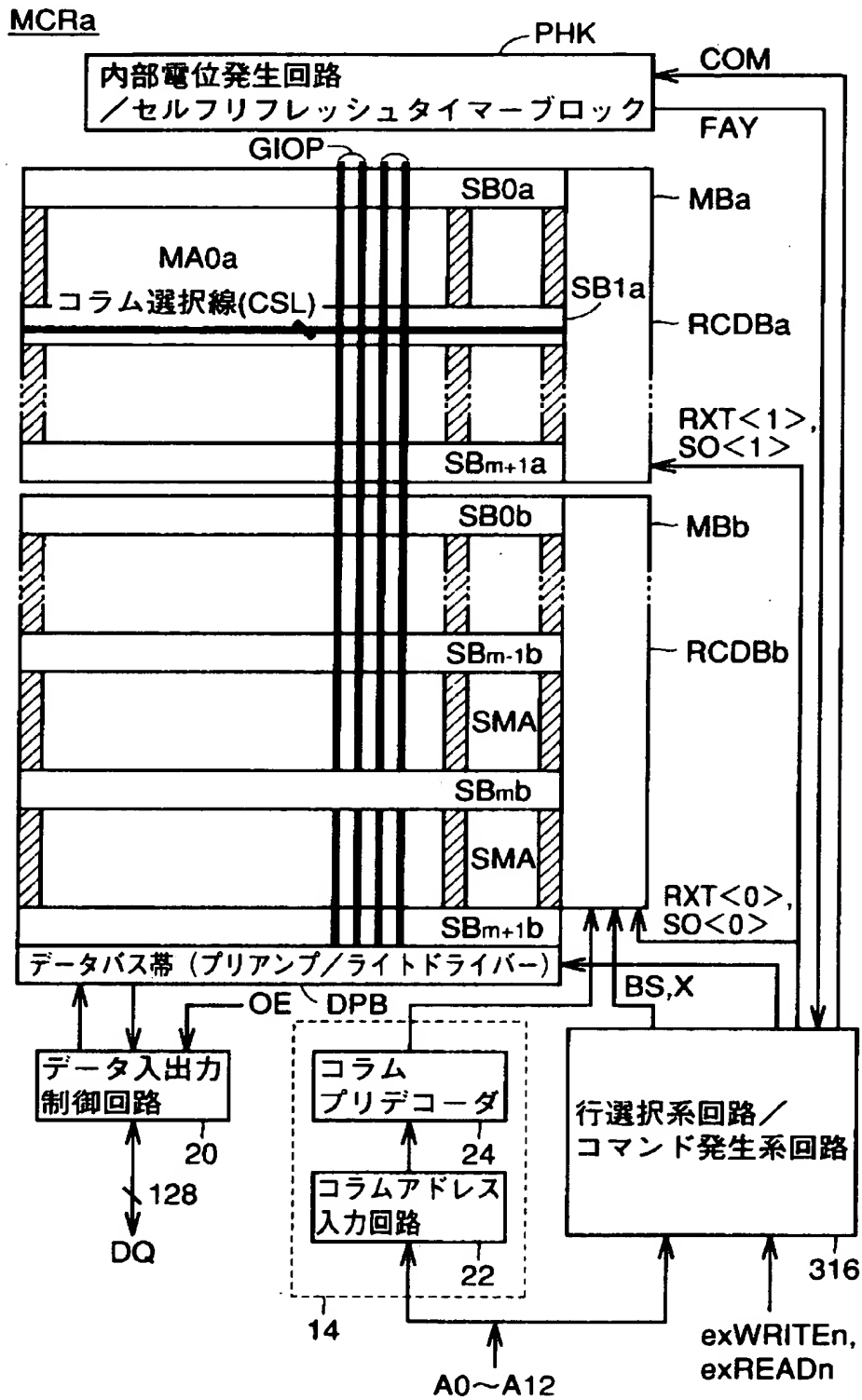
【図 19】



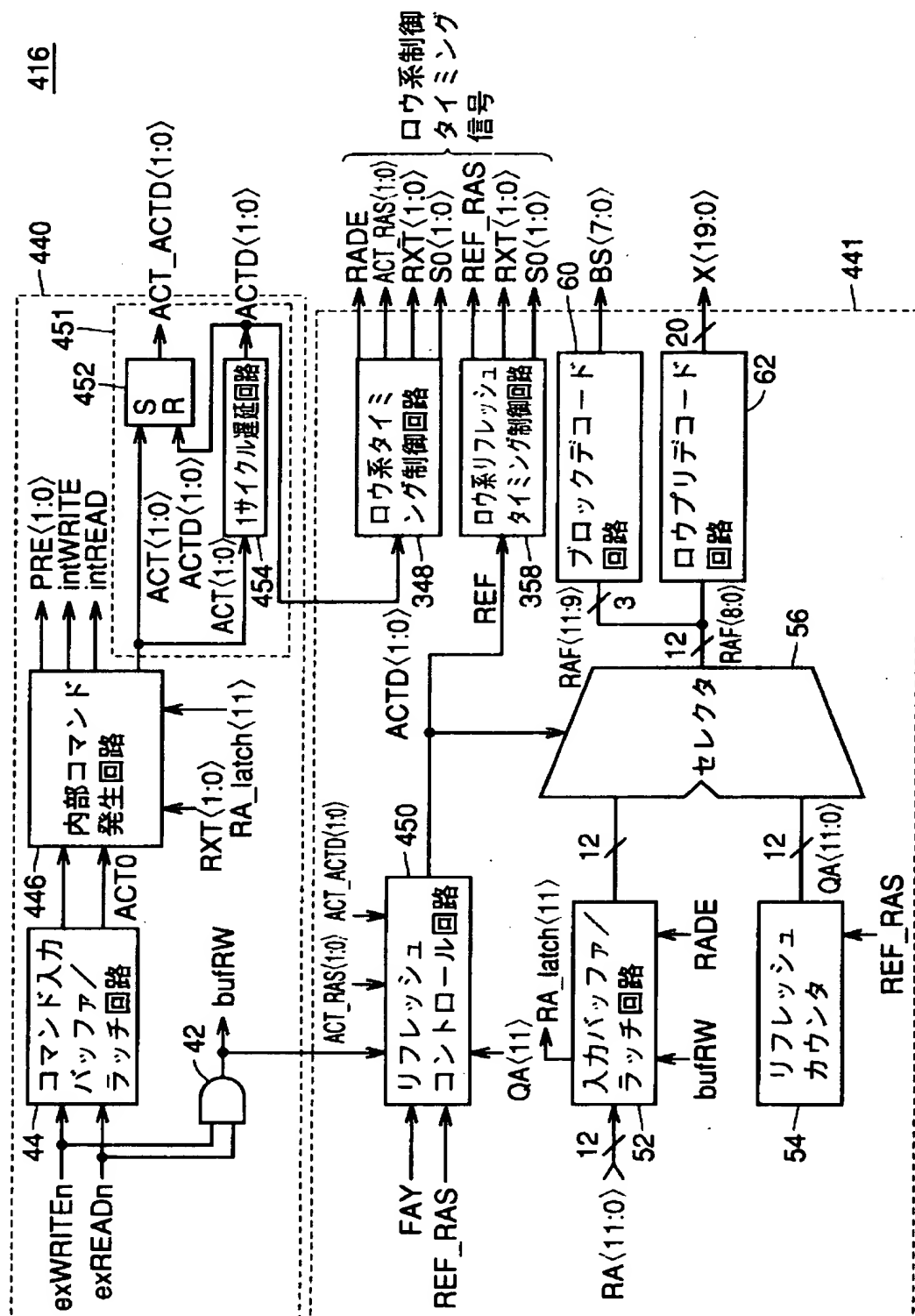
【図 2.0】



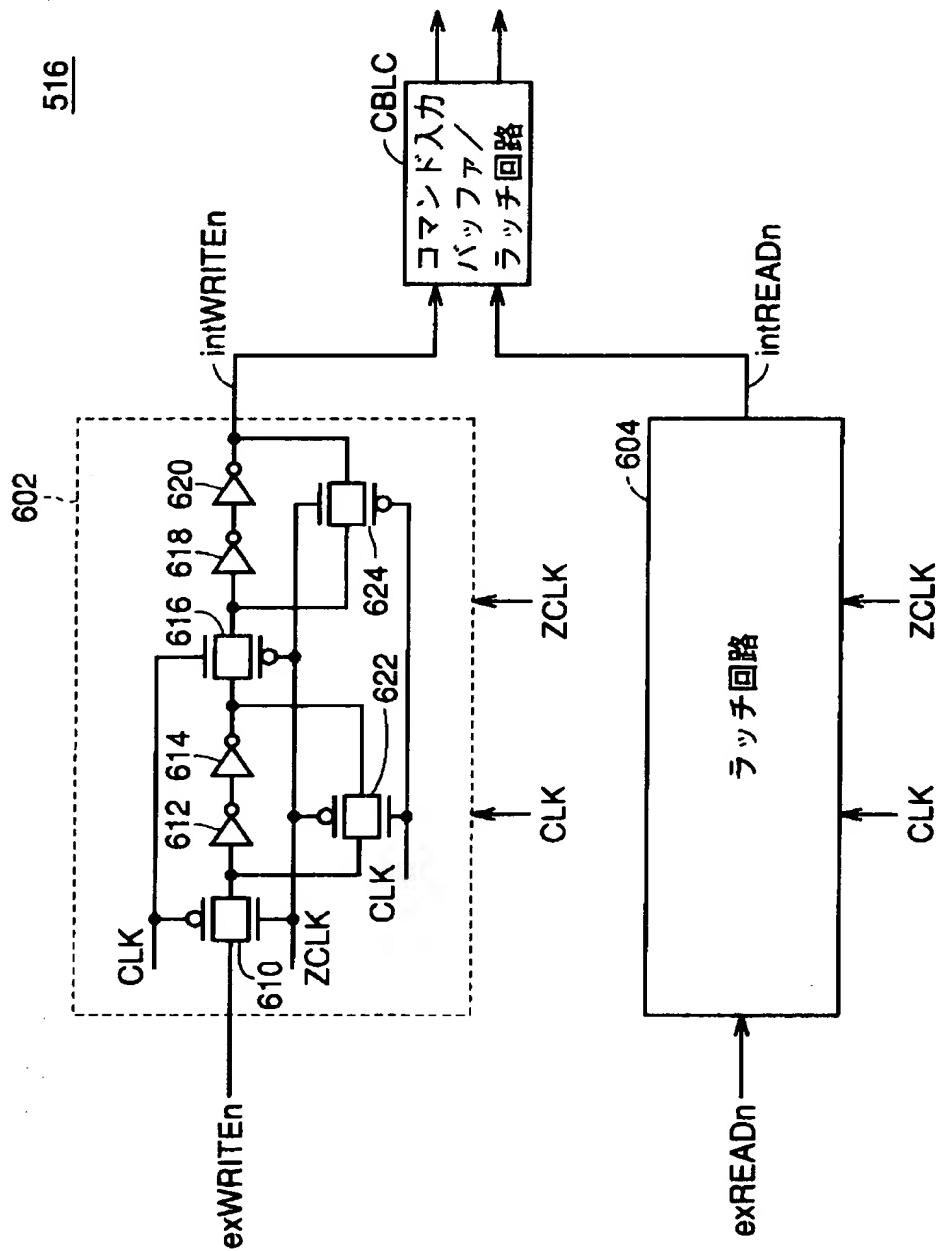
【図 2.1】



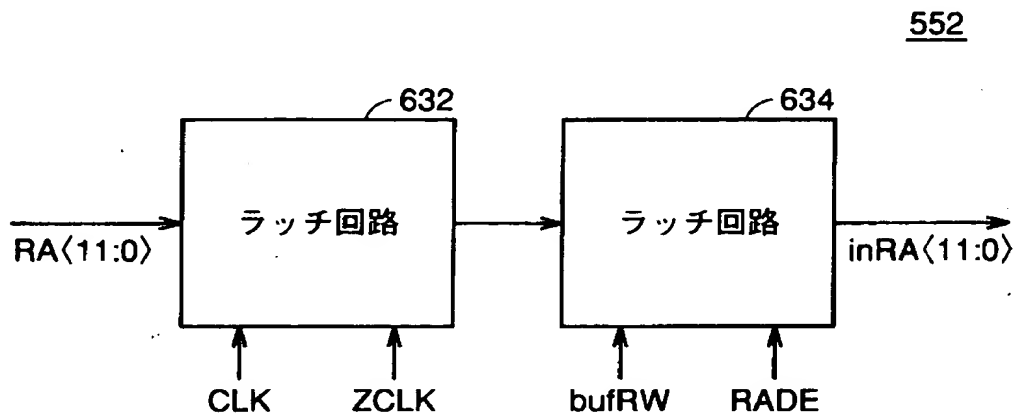
【図 2.3】



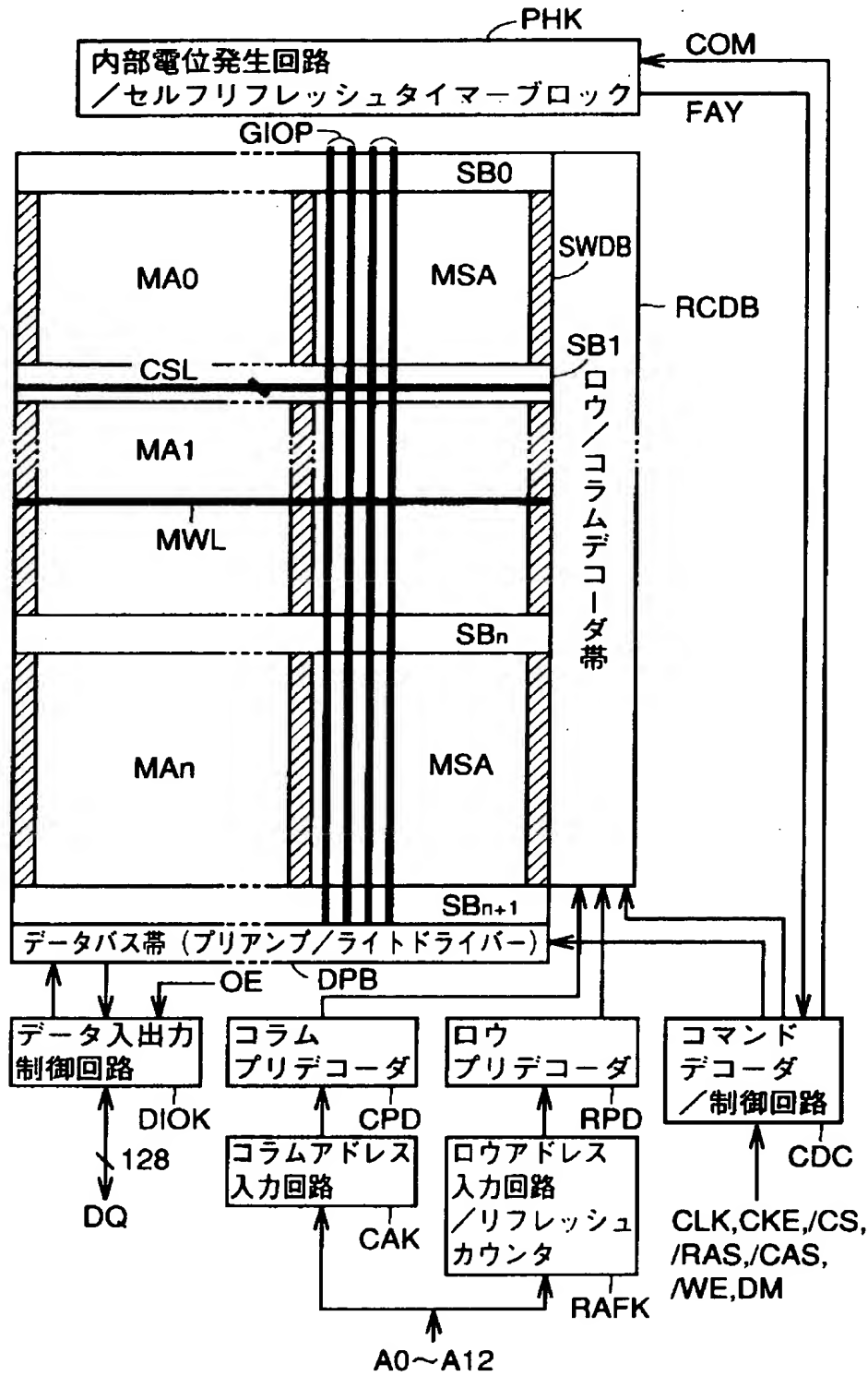
【図 2.4】



【図 2 5】



【図 2.6】



【書類名】 要約書

【要約】

【課題】 リフレッシュ制御信号を与える必要がなく、S R A Mと同様なアクセスが可能な、D R A Mコアを内蔵するシステムL S Iを提供する。

【解決手段】 セルフリフレッシュタイマは常に動作状態とされリフレッシュ要求信号F A Yを定期的に活性化する。行選択系回路／コマンド発生系回路1 6は、リフレッシュ要求信号F A Yと外部からのリードコマンドまたはライトコマンドとが競合したときには、たとえばリードやライト動作が終了してからリフレッシュ動作が行なわれるようにロウ系制御信号を制御する。サブメモリアレイS M Aは従来と比べて細分化され、リフレッシュサイクルは短時間で終了するので、リードサイクル時間内でリードとリフレッシュとを終了させることができ、S R A Mと同様な簡単な制御で利用できるD R A Mコアを実現することができる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社